

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-24181

(P2001-24181A)

(43) 公開日 平成13年 1 月26日 (2001. 1. 26)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

ターマコード\*(参考)

H 0 1 L 27/146

H 0 1 L 27/14

A 4 M 1 1 8

H 0 4 N 5/335

H 0 4 N 5/335

U 5 C 0 2 4

審査請求 未請求 請求項の数 8 O L (全 28 頁)

(21) 出願番号 特願平11-194637

(22) 出願日 平成11年 7 月 8 日 (1999. 7. 8)

(71) 出願人 000236436

浜松ホトニクス株式会社

静岡県浜松市市野町1126番地の 1

(72) 発明者 水野 誠一郎

静岡県浜松市市野町1126番地の 1 浜松ホ  
トニクス株式会社内

(72) 発明者 森 治通

静岡県浜松市市野町1126番地の 1 浜松ホ  
トニクス株式会社内

(74) 代理人 100088155

弁理士 長谷川 芳樹 (外 2 名)

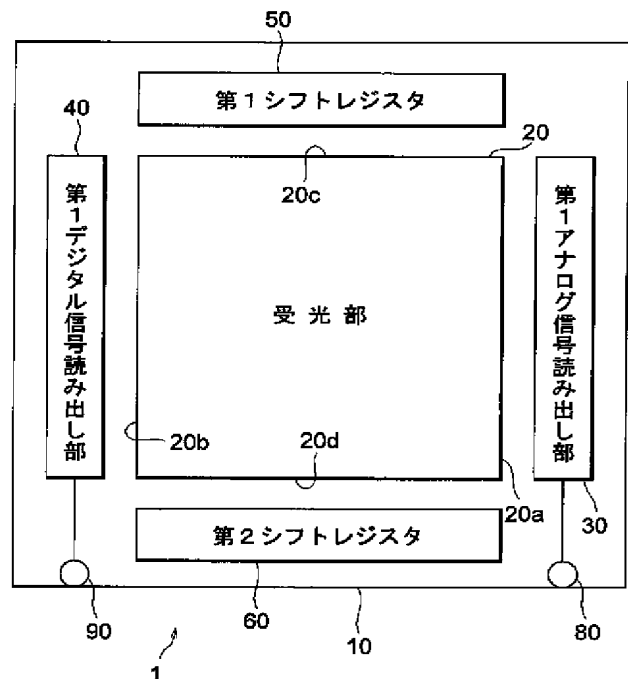
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 同一基板に受光部及び周辺回路を形成する場合においても、歩留まりの低下が抑制され、受光部の大面積化が可能な固体撮像装置を提供すること。

【解決手段】 基板 10 には、受光部 20、第 1 アナログ信号読み出し部 30、第 1 デジタル信号読み出し部 40、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 が、CMOS プロセス等を用いて設けられている。第 1 アナログ信号読み出し部 30 は、受光部 20 の第 1 の辺 20a に沿って設けられている。第 1 デジタル信号読み出し部 40 は、第 1 の辺 20a に対向する第 2 の辺 20b に沿って設けられている。第 1 シフトレジスタ 50 は、第 1 の辺 20a 及び第 2 の辺 20b に直交する第 3 の辺 20c に沿って設けられている。第 1 シフトレジスタ 50 は、第 1 の辺 20a 及び第 2 の辺 20b に直交し且つ第 3 の辺 20c に対向する第 4 の辺 20d に沿って設けられている。



## 【特許請求の範囲】

【請求項 1】 入力した 2 次元光像を撮像する固体撮像装置であって、

入力光信号を電流信号に変換する光電変換素子が 2 次元に配列された矩形形状の受光部と、

前記矩形形状の受光部の一辺に沿って、前記一辺の延びる方向に配置された前記光電変換素子の数に対応した数だけ設けられ、前記矩形形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した電流信号を読み出す第 1 信号読み出し回路と、

前記一辺と直交する 2 辺のうちの一方に沿って設けられ、前記矩形形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した前記電流信号を、前記第 1 信号読み出し回路に向けて送り出す第 1 シフトレジスタと、

前記一辺と直交する 2 辺のうちの他方に沿って設けられ、前記矩形形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した前記電流信号を、前記信号読み出し回路に向けて前記電流信号を送り出す第 2 シフトレジスタと、

を同一基板に備えることを特徴とする固体撮像装置。

【請求項 2】 前記矩形形状の受光部の前記一辺に対向する辺に沿って、前記一辺の延びる方向に配置された前記光電変換素子の数に対応した数だけ設けられ、前記矩形形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した電流信号を読み出す第 2 信号読み出し回路を更に同一基板に備え、

前記第 1 シフトレジスタ及び前記第 2 シフトレジスタは、前記矩形形状の受光部の前記一辺と直交する方向に配列された前記光電変換素子で発生した前記電流信号を、前記第 1 信号読み出し回路側及び前記第 2 信号読み出し回路側のいずれに向けても送り出し得ることを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 入力した 2 次元光像を撮像する固体撮像装置であって、

入力光信号を電流信号に変換する光電変換素子と、前記光電変換素子の信号出力端子に第 1 の端子が接続され、走査信号に応じて第 2 の端子から前記光電変換素子で発生した電流信号を流出する第 1 のスイッチ素子とを 1 組の受光素子として、第 1 の方向に沿って第 1 の数だけ配列される単位受光部が、第 2 の方向に沿って第 2 の数だけ配列された受光部を有し、

夫々の前記単位受光部の一方の端部には、夫々の前記第 1 のスイッチ素子の第 2 の端子と互いに電気的に接続された第 1 信号出力端子が設けられており、

夫々の前記単位受光部の前記第 1 信号出力端子から出力された信号を夫々個別に inputs し、前記単位受光部から出力された電流信号を読み出す前記第 2 の数の第 1 信号読み出し回路と、

夫々の前記光電変換素子で発生した前記電流信号を、夫

々の前記単位受光部の前記第 1 信号出力端子に向けて送り出すように、前記走査信号を出力する第 1 シフトレジスタと、

夫々の前記光電変換素子で発生した前記電流信号を、夫々の前記単位受光部の前記第 1 信号出力端子に向けて送り出すように、前記走査信号を出力する第 2 シフトレジスタと、を同一基板に備え、

前記第 1 シフトレジスタ及び前記第 2 シフトレジスタは、前記受光部を挟んで対向する位置に、前記第 1 の方向に沿って設けられていることを特徴とする固体撮像装置。

【請求項 4】 夫々の前記単位受光部の他方の端部には、夫々の前記第 1 のスイッチ素子の第 2 の端子と互いに電気的に接続された第 2 信号出力端子が設けられており、

夫々の前記単位受光部の前記第 2 信号出力端子から出力された信号を夫々個別に inputs し、前記単位受光部から出力された電流信号を読み出す前記第 2 の数の第 2 信号読み出し回路を更に同一基板に備え、

前記第 1 シフトレジスタ及び前記第 2 シフトレジスタは、夫々の前記光電変換素子で発生した前記電流信号を、夫々の前記単位受光部の前記第 1 信号出力端子及び前記第 2 信号出力端子のいずれに向けても送り出し得るように、前記走査信号を出力することを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】 前記第 1 信号読み出し回路は、前記光電変換素子で発生した電流信号をアナログ信号として読み出す第 1 アナログ信号読み出し回路と、前記第 1 アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第 1 デジタル信号読み出し回路とを有し、

前記第 1 アナログ信号読み出し回路からの出力信号あるいは前記第 1 デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第 1 出力選択回路を更に同一基板に備えることを特徴とする請求項 1 ～請求項 4 のいずれか一項に記載の固体撮像装置。

【請求項 6】 前記第 1 信号読み出し回路は、前記光電変換素子で発生した電流信号をアナログ信号として読み出す第 1 アナログ信号読み出し回路を有し、

前記第 2 信号読み出し回路は、前記光電変換素子で発生した電流信号をデジタル信号として読み出す第 2 デジタル信号読み出し回路を有することを特徴とする請求項 2 又は請求項 4 に記載の固体撮像装置。

【請求項 7】 前記第 1 信号読み出し回路は、前記光電変換素子で発生した電流信号をアナログ信号として読み出す第 1 アナログ信号読み出し回路と、前記第 1 アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第 1 デジタル信号読み出し回路とを有し、

前記第 2 信号読み出し回路は、前記光電変換素子で発生

した電流信号をアナログ信号として読み出す第 2 アナログ信号読み出し回路を有し、

前記第 1 アナログ信号読み出し回路からの出力信号あるいは前記第 1 デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第 1 出力選択回路を更に同一基板に備えることを特徴とする請求項 2 又は請求項 4 に記載の固体撮像装置。

【請求項 8】 前記第 2 信号読み出し回路は、前記第 2 アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第 2 デジタル信号読み出し回路を更に有し、

前記第 2 アナログ信号読み出し回路からの出力信号あるいは前記第 2 デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第 2 出力選択回路を更に同一基板に備えることを特徴とする請求項 7 に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力した 2 次元光像を撮像する固体撮像装置に関するものである。

【0002】

【従来の技術】電荷結合素子（CCD）に代表される固体撮像素子を使用した撮像装置は、家庭用ビデオをはじめ様々な分野で使用されている。しかし、比較的大きな受光面積を有するフォトダイオード電荷を取り扱う場合には、CCD では電荷転送効率が低いので、電荷の転送をしきれないという問題を生じる。そこで、特定の分野では、固体撮像装置の中で、電荷転送効率の問題が生じないアモルファスシリコンにより形成されたイメージセンサが用いられることがある。このアモルファスシリコンにより形成されたイメージセンサは、入力光信号を電流信号に変換する光電変換素子とこの光電変換素子で発生した電流信号を流出するスイッチ素子とからなる受光素子（画素）が、2 次元に配列されている。

【0003】

【発明が解決しようとする課題】しかしながら、アモルファスシリコンを用いて受光部（光電変換素子）を形成した場合、受光部が形成されたアモルファスシリコン部分から信号を読み出すために、信号読み出し回路、シフトレジスタ等の周辺回路が形成されたシリコンチップが必要となり、受光部が形成されたアモルファスシリコン部分とシリコンチップとをボンディングする際に、ボンディング不良等の問題が生じ易く、歩留まりが低下してしまう。また、静止画像の撮像は可能であるものの、残像等の問題から、動画の撮像は困難とされていた。

【0004】そこで、本発明者らは、上述した問題を解消すべく、シリコンウェハに、受光部、周辺回路等を形成した固体撮像装置の研究開発を進めてきた。このようにシリコンウェハに受光部を形成する場合、例えば 8 インチといった大面積のシリコンウェハを用いることによ

り、受光部の大面積化が可能となる。しかしながら、受光部の大面積化により、1 枚のシリコンウェハから得ることのできる固体撮像装置の数は、1 つといったように、極めて少なくなり、また、受光部内に欠陥画素が存在する可能性も高くなることから、歩留まりが悪化してしまうことが新たに判明した。

【0005】また、周辺回路として、光電変換素子からの出力された電流信号を読み出すための信号読み出し回路と、この信号読み出し回路に向けて電流信号を送り出すシフトレジスタとを同一ウェハ上に形成する場合、このシフトレジスタにも欠陥の存在する可能性が高くなり、更に歩留まりが低下してしまうことも新たに判明した。

【0006】本発明は、かかる事情に鑑みてなされたものであり、同一基板に受光部及び周辺回路を形成する場合においても、歩留まりの低下が抑制され、受光部の大面積化が可能な固体撮像装置を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明に係る固体撮像装置は、入力した 2 次元光像を撮像する固体撮像装置であって、入力光信号を電流信号に変換する光電変換素子が 2 次元に配列された矩形状の受光部と、矩形状の受光部の一辺に沿って、一辺の延びる方向に配置された光電変換素子の数に対応した数だけ設けられ、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を読み出す第 1 信号読み出し回路と、一辺と直交する 2 辺のうちの一方に沿って設けられ、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、信号読み出し回路に向けて送り出す第 1 シフトレジスタと、一辺と直交する 2 辺のうちの他方に沿って設けられ、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、信号読み出し回路に向けて送り出す第 2 シフトレジスタと、を同一基板に備えることを特徴としている。

【0008】本発明に係る固体撮像装置では、同一基板に対して、第 1 信号読み出し回路が沿って設けられた矩形状の受光部の一辺と直交する 2 辺のうちの一方に沿って第 1 シフトレジスタが設けられ、第 1 信号読み出し回路が沿って設けられた矩形状の受光部の一辺と直交する 2 辺のうちの他方に沿って第 2 シフトレジスタが設けられ、第 1 シフトレジスタ及び第 2 シフトレジスタのいずれも、矩形状の受光部の一辺と直交する方向に配列された光電変換素子で発生した電流信号を、第 1 信号読み出し回路に向けて送り出すので、第 1 シフトレジスタに欠陥がある場合には、第 2 シフトレジスタにより光電変換素子で発生した電流信号が第 1 信号読み出し回路に向けて送り出されことになる。一方、第 2 シフトレジスタに欠陥がある場合には、第 1 シフトレジスタにより光電変換素子で発生した電流信号が第 1 信号読み出し回路に向

けて送り出されことになる。したがって、第1シフトレジスタ及び第2シフトレジスタのいずれか一方に欠陥がある場合でも、第1シフトレジスタ及び第2シフトレジスタのいずれか他方にて光電変換素子で発生した電流信号を送り出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を抑制することができる。また、第1シフトレジスタ及び第2シフトレジスタは、夫々が第1信号読み出し回路に沿って設けられた矩形の受光部の一边と直交する辺に沿って設けられるので、基板をコンパクトに構成することができる。

【0009】また、矩形の受光部の一边に対向する辺に沿って、一边の延びる方向に配置された光電変換素子の数に対応した数だけ設けられ、矩形の受光部の一边と直交する方向に配列された光電変換素子で発生した電流信号を読み出す第2信号読み出し回路を更に同一基板に備え、第1シフトレジスタ及び第2シフトレジスタは、矩形の受光部の一边と直交する方向に配列された光電変換素子で発生した電流信号を、第1信号読み出し回路側及び第2信号読み出し回路側のいずれに向けても送り出し得ることが好ましい。この場合には、同一基板に対して、矩形の受光部の一边に対向する辺に沿って、一边の延びる方向に配置された光電変換素子の数に対応した数の第2信号読み出し回路が設けられ、第1シフトレジスタ及び第2シフトレジスタは、光電変換素子で発生した電流信号を第1信号読み出し回路側及び第2信号読み出し回路側のいずれに向けても送り出し得るので、第1信号読み出し回路に欠陥がある場合には、第1シフトレジスタあるいは第2シフトレジスタにより光電変換素子で発生した電流信号を第2信号読み出し回路側に向けて送り出すことで、光電変換素子で発生した電流信号が第2信号読み出し回路にて読み出され、出力される。一方、第2信号読み出し回路に欠陥がある場合には、第1シフトレジスタあるいは第2シフトレジスタにより光電変換素子で発生した電流信号を第1信号読み出し回路側に向けて送り出すことで、光電変換素子で発生した電流信号が第1信号読み出し回路にて読み出され、出力される。したがって、第1信号読み出し回路及び第2信号読み出し回路のいずれか一方に欠陥がある場合でも、第1シフトレジスタあるいは第2シフトレジスタにて光電変換素子で発生した電流信号を、第1信号読み出し回路及び第2信号読み出し回路のいずれか他方に送り出して、この第1信号読み出し回路及び第2信号読み出し回路のいずれか他方にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を更に抑制することができる。

【0010】本発明に係る固体撮像装置は、入力した2次元光像を撮像する固体撮像装置であって、入力光信号を電流信号に変換する光電変換素子と、光電変換素子の

信号出力端子に第1の端子が接続され、走査信号に応じて第2の端子から光電変換素子で発生した電流信号を流す第1のスイッチ素子とを1組の受光素子として、第1の方向に沿って第1の数だけ配列される単位受光部が、第2の方向に沿って第2の数だけ配列された受光部を有し、夫々の単位受光部の一方の端部には、夫々の第1のスイッチ素子の第2の端子と互いに電気的に接続された第1信号出力端子が設けられており、夫々の単位受光部の第1信号出力端子から出力された信号を夫々個別に inputs し、単位受光部から出力された電流信号を読み出す第2の数の第1信号読み出し回路と、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第1信号出力端子に向けて送り出すように、走査信号を出力する第1シフトレジスタと、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第1信号出力端子に向けて送り出すように、走査信号を出力する第2シフトレジスタと、を同一基板に備え、第1シフトレジスタ及び第2シフトレジスタは、受光部を挟んで対向する位置に、第1の方向に沿って設けられていることを特徴としている。

【0011】本発明に係る固体撮像装置では、同一基板に対して、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第1信号出力端子に向けて送り出すように走査信号を出力する第1シフトレジスタ及び第2シフトレジスタが、受光部を挟んで対向する位置に、第1の方向に沿って設けられているので、第1シフトレジスタに欠陥がある場合には、第2シフトレジスタにより光電変換素子で発生した電流信号が第1信号出力端子に向けて送り出されることになる。一方、第2シフトレジスタに欠陥がある場合には、第1シフトレジスタにより光電変換素子で発生した電流信号が第1信号出力端子に向けて送り出されることになる。したがって、第1シフトレジスタ及び第2シフトレジスタのいずれか一方に欠陥がある場合でも、第1シフトレジスタ及び第2シフトレジスタのいずれか他方にて光電変換素子で発生した電流信号を送り出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を抑制することができる。また、第1シフトレジスタ及び第2シフトレジスタは、受光部を挟んで対向する位置に、第1の方向に沿って設けられているので、基板をコンパクトに構成することができる。

【0012】また、夫々の単位受光部の他方の端部には、夫々の第1のスイッチ素子の第2の端子と互いに電気的に接続された第2信号出力端子が設けられており、夫々の単位受光部の第2信号出力端子から出力された信号を夫々個別に inputs し、単位受光部から出力された電流信号を読み出す第2の数の第2信号読み出し回路を更に同一基板に備え、第1シフトレジスタ及び第2シフトレジスタは、夫々の光電変換素子で発生した電流信号を、夫々の単位受光部の第1信号出力端子及び第2信号出力

端子のいずれに向けても送り出し得るように、走査信号を出力することが好ましい。この場合には、同一基板に対して、夫々の単位受光部の第2信号出力端子から出力された信号を夫々個別に inputs し、単位受光部から出力された電流信号を読み出す第2の数の第2信号読み出し回路が設けられ、第1シフトレジスタ及び第2シフトレジスタは、夫々の光電変換素子で発生した電流信号を夫々の第1信号出力端子及び夫々の第2信号出力端子のいずれに向けても送り出し得るので、第1信号読み出し回路に欠陥がある場合には、第1シフトレジスタあるいは第2シフトレジスタにより光電変換素子で発生した電流信号を夫々の第2信号出力端子に向けて送り出すことで、光電変換素子で発生した電流信号が第2信号読み出し回路にて読み出され、出力される。一方、第2信号読み出し回路に欠陥がある場合には、第1シフトレジスタあるいは第2シフトレジスタにより光電変換素子で発生した電流信号を夫々の第1信号出力端子に向けて送り出すことで、光電変換素子で発生した電流信号が第1信号読み出し回路にて読み出され、出力される。したがって、第1信号読み出し回路及び第2信号読み出し回路のいずれか一方に欠陥がある場合でも、第1シフトレジスタあるいは第2シフトレジスタにて光電変換素子で発生した電流信号を第1信号読み出し回路及び第2信号読み出し回路のいずれか他方に送り出して、この第1信号読み出し回路及び第2信号読み出し回路のいずれか他方にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を更に抑制することができる。

【0013】また、第1信号読み出し回路は、光電変換素子で発生した電流信号をアナログ信号として読み出す第1アナログ信号読み出し回路と、第1アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第1デジタル信号読み出し回路とを有し、第1アナログ信号読み出し回路からの出力信号あるいは第1デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第1出力選択回路を更に同一基板に備えることが好ましい。このように第1信号読み出し回路が第1アナログ信号読み出し回路と第1デジタル信号読み出し回路とを有し、第1出力選択回路を同一基板に備えることにより、この第1出力選択回路にて第1デジタル信号読み出し回路からの出力信号を選択する場合には、第1アナログ信号読み出し回路からの出力信号が第1デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第1デジタル信号読み出し回路から出力されることになる。一方、第1デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第1出力選択回路にて第1アナログ信号読み出し回路からの出力信号を選択し、光電変換素子で発生した電流信号が第1アナログ信号読み出し回路にてアナログ信号として読み出され、第1アナログ信号読み出し回路から出

力されることになる。したがって、第1デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、第1アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を更に抑制することができる。また、第1デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/D変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、第1アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのA/D変換器を用いることで、高分解能化が可能となる。

【0014】また、第1信号読み出し回路は、光電変換素子で発生した電流信号をアナログ信号として読み出す第1アナログ信号読み出し回路を有し、第2信号読み出し回路は、光電変換素子で発生した電流信号をデジタル信号として読み出す第2デジタル信号読み出し回路を有することが好ましい。このように第1信号読み出し回路が第1アナログ信号読み出し回路を有し、第2信号読み出し回路が第2デジタル信号読み出し回路を有することにより、第2デジタル信号読み出し回路側に向けて光電変換素子で発生した電流信号を送り出す場合には、この電流信号が第2デジタル信号読み出し回路にてデジタル信号として読み出されることになる。一方、第2デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第1アナログ信号読み出し回路側に向けて電流信号を送り出すことで、この電流信号が第1アナログ信号読み出し回路にてアナログ信号として読み出されることになる。したがって、第2デジタル信号読み出し回路のうちのいずれかに欠陥がある場合でも、第1アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、受光部を大面積化した場合においても固体撮像装置の歩留まりの低下を更に抑制することができる。また、第2デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/D変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、第1アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのA/D変換器を用いることで、高分解能化が可能となる。

【0015】また、第1信号読み出し回路は、光電変換素子で発生した電流信号をアナログ信号として読み出す第1アナログ信号読み出し回路と、第1アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第1デジタル信号読み出し回路とを有し、第2信号読み出し回路は、光電変換素子で発生した電流信号をアナログ信号として読み出す第2アナログ信号読み出し

回路を有し、第1アナログ信号読み出し回路からの出力信号あるいは第1デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第1出力選択回路を更に同一基板に備えることが好ましい。このように第1信号読み出し回路が第1アナログ信号読み出し回路と第1デジタル信号読み出し回路とを有し、第2信号読み出し回路が第2アナログ信号読み出し回路を有し、第1出力選択回路を同一基板に備えることにより、この第1出力選択回路にて第1デジタル信号読み出し回路からの出力信号を選択する場合には、第1アナログ信号読み出し回路からの出力信号が第1デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第1デジタル信号読み出し回路から出力されることになる。一方、第1デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第1出力選択回路にて第1アナログ信号読み出し回路からの出力信号を選択し、光電変換素子で発生した電流信号が第1アナログ信号読み出し回路にてアナログ信号として読み出され、第1アナログ信号読み出し回路から出力されることになる。また、第1デジタル信号読み出し回路及び第1アナログ信号読み出し回路に欠陥がある場合には、第2アナログ信号読み出し回路側に向けて電流信号を送り出すことで、この電流信号が第2アナログ信号読み出し回路にてアナログ信号として読み出されることになる。したがって、第1アナログ信号読み出し回路に欠陥がある場合には第1デジタル信号読み出し回路にて、第1アナログ信号読み出し回路及び第1デジタル信号読み出し回路に欠陥がある場合でも、第2アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出すことが可能となり、固体撮像装置の歩留まりの低下を大幅に抑制することができる。また、第1デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/D変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、第1アナログ信号読み出し回路あるいは第2アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのA/D変換器を用いることで、高分解能化が可能となる。

【0016】また、第2信号読み出し回路は、第2アナログ信号読み出し回路からの出力信号をデジタル信号に変換して読み出す第2デジタル信号読み出し回路を更に有し、第2アナログ信号読み出し回路からの出力信号あるいは第2デジタル信号読み出し回路からの出力信号のいずれか一方の出力信号を選択的に出力する第2出力選択回路を更に同一基板に備えることが好ましい。このように第1信号読み出し回路が第1アナログ信号読み出し回路と第1デジタル信号読み出し回路とを有し、第2信号読み出し回路が第2アナログ信号読み出し回路と第2デジタル信号読み出し回路とを有し、第1出力選択回路

と第2出力選択回路とを同一基板に備えることにより、この第1出力選択回路にて第1デジタル信号読み出し回路からの出力信号を選択する場合には、第1アナログ信号読み出し回路からの出力信号が第1デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第1デジタル信号読み出し回路から出力されることになる。一方、第1デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第1出力選択回路にて第1アナログ信号読み出し回路からの出力信号を選択し、光電変換素子で発生した電流信号が第1アナログ信号読み出し回路にてアナログ信号として読み出され、第1アナログ信号読み出し回路から出力されることになる。また、第1デジタル信号読み出し回路及び第1アナログ信号読み出し回路に欠陥がある場合には、第2出力選択回路にて第1デジタル信号読み出し回路からの出力信号を選択することで、第2アナログ信号読み出し回路からの出力信号が第2デジタル信号読み出し回路にてデジタル信号に変換して読み出され、第2デジタル信号読み出し回路から出力されることになる。また、第2デジタル信号読み出し回路のうちのいずれかに欠陥がある場合には、第2出力選択回路にて第2アナログ信号読み出し回路からの出力信号を選択し、光電変換素子で発生した電流信号が第2アナログ信号読み出し回路にてアナログ信号として読み出され、第2アナログ信号読み出し回路から出力されることになる。したがって、第1アナログ信号読み出し回路に欠陥がある場合には第1デジタル信号読み出し回路にて、第1アナログ信号読み出し回路及び第1デジタル信号読み出し回路に欠陥がある場合には第2デジタル信号読み出し回路にて、第1アナログ信号読み出し回路、第1デジタル信号読み出し回路及び第2デジタル信号読み出し回路に欠陥がある場合には第2アナログ信号読み出し回路にて、光電変換素子で発生した電流信号を読み出すことが可能となり、固体撮像装置の歩留まりの低下を大幅に抑制することができる。また、第1デジタル信号読み出し回路あるいは第2デジタル信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/D変換器が不要となり、固体撮像装置の低コスト化が可能となる。また、第1アナログ信号読み出し回路あるいは第2アナログ信号読み出し回路にて光電変換素子で発生した電流信号を読み出す場合には、外付けのA/D変換器を用いることで、高分解能化が可能となる。

【0017】

【発明の実施の形態】以下、添付図面を参照して、本発明に係る固体撮像装置の好適な実施形態について詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付しており、重複する説明は省略する。また、Nは2以上の整数であり、添え字nは特に明示しない限り1からNまでの任意の整数を示すものとする。

【0018】（第1実施形態）先ず、本発明に係る固体撮像装置の第1実施形態について、図1及び図2を用いて説明する。図1は、第1実施形態に係る固体撮像装置の概略構成を示す概念図であり、図2は、第1実施形態に係る固体撮像装置の回路構成図である。第1実施形態に係る固体撮像装置1は、図1に示されるように、矩形に形成された基板10を有し、この基板10には、受光部20、第1アナログ信号読み出し部30、第1デジタル信号読み出し部40、第1シフトレジスタ50及び第2シフトレジスタ60が、CMOSプロセス等を用いて設けられている。基板10にはシリコンインゴットを切断したシリコンウェハを用いており、このシリコンウェハを矩形に切断することにより基板10が形成される。本実施形態においては、8インチφのシリコンウェハを用いている。

【0019】受光部20は、各辺が130mmとされた略正方形に形成されており、この中に縦横 $50\mu\text{m}$ ピッチ程度で各受光素子（画素） $21_{1,1} \sim 21_{N,N}$ が形成されている。第1アナログ信号読み出し部30は、受光部20の第1の辺20aに沿って設けられている。第1デジタル信号読み出し部40は、受光部20の第1の辺20aに対向する第2の辺20bに沿って設けられている。第1シフトレジスタ50は、受光部20の第1の辺20a及び第2の辺20bに直交する第3の辺20cに沿って設けられている。第2シフトレジスタ60は、受光部20の第1の辺20a及び第2の辺20bに直交し且つ第3の辺20cに対向する第4の辺20dに沿って設けられている。第1アナログ信号読み出し部30及び第1デジタル信号読み出し部40には、各々信号出力端子80、90が接続されている。

【0020】受光部20は、図2に示されるように、受光素子 $21_{n,n}$ がN行×N列に2次元配列されている。夫々の受光素子 $21_{1,1} \sim 21_{N,N}$ は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード23と、第1のスイッチ素子25とを有している。第1のスイッチ素子25は信号入力端子と信号出力端子を有しており、第1のスイッチ素子25の信号入力端子はフォトダイオード23の信号出力端子に接続されており、第1シフトレジスタ50あるいは第2シフトレジスタ60からの走査信号 $S_n$ に応じてフォトダイオード23で発生した電流信号を信号出力端子から流出する。このような受光素子 $21_{n,n}$ が、第1の方向（第3の辺20cあるいは第4の辺20dの延びる方向）に沿ってN個配列されおり、この第1の方向に沿ってN個配列された受光素子 $21_{1,1} \sim 21_{N,N}$ は、夫々の第1のスイッチ素子25の信号出力端子が電氣的に接続されることにより単位受光部 $22_n$ を構成している。この単位受光部 $22_n$ は、第1の方向と直交する第2の方向（第1の辺20aあるいは第2の辺20bの延びる方向）に沿ってN個配列されている。

【0021】夫々の単位受光部 $22_n$ の一方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電氣的に接続された第1信号出力端子27が設けられ、夫々の単位受光部 $22_n$ の他方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電氣的に接続された第2信号出力端子29が各々設けられている。夫々の第1信号出力端子27は、第2のスイッチ素子71を介して第1アナログ信号読み出し部30に接続される。この第2のスイッチ素子71は、第2の方向に、単位受光部 $22_n$ の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。また、夫々の第2信号出力端子29は、第3のスイッチ素子72を介して第1デジタル信号読み出し部40に接続される。この第3のスイッチ素子72は、第2の方向に、単位受光部 $22_n$ の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。第2のスイッチ素子71及び第3のスイッチ素子72は、制御回路（図示せず）からの信号に応じて、作動する。

【0022】第1アナログ信号読み出し部30は、図2に示されるように、第1アナログ信号読み出し回路31を有している。この第1アナログ信号読み出し回路31は、第2の方向に、単位受光部 $22_n$ の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第1アナログ信号読み出し回路31は、積分回路33、CDS回路（図示せず）、等を有している。積分回路33は、単位受光部 $22_n$ （第1信号出力端子27）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器35と、電荷増幅器35の入力端子に一方の端子が接続され、電荷増幅器35の出力端子に他方の端子が接続された容量素子37と、電荷増幅器35の入力端子に一方の端子が接続され、電荷増幅器35の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第4のスイッチ素子39とを有している。この積分回路33は、リセット信号Rが非有意の場合には、単位受光部 $22_n$ からの出力信号を入力し、リセット信号Rに応じて単位受光部 $22_n$ から出力された電流信号を入出力端子間に接続された容量素子37に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0023】単位受光部 $22_n$ （第1信号出力端子27）からの電流信号は、第1アナログ信号読み出し回路31（積分回路33、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子80に向けて送り出される。夫々の第1アナログ信号読み出し回路31の後段（信号出力端子80との間）には、第5のスイッチ素子73が設けられている。この第

5のスイッチ素子73は、第1アナログ信号読み出し回路31の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0024】第1デジタル信号読み出し部40は、図2に示されるように、第2アナログ信号読み出し部41と、第1デジタル信号変換部47とを有しており、第2アナログ信号読み出し部41は、第2アナログ信号読み出し回路42を含んでいる。この第2アナログ信号読み出し回路42は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第2アナログ信号読み出し回路42は、積分回路43、CDS回路（図示せず）等を有している。積分回路43は、単位受光部22<sub>n</sub>（第2信号出力端子29）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器44と、電荷増幅器44の入力端子に一方の端子が接続され、電荷増幅器44の出力端子に他方の端子が接続された容量素子45と、電荷増幅器44の入力端子に一方の端子が接続され、電荷増幅器44の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第6のスイッチ素子46とを有している。この積分回路43は、リセット信号Rが非有意の場合には、単位受光部22<sub>n</sub>からの出力信号を入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子45に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0025】単位受光部22<sub>n</sub>（第2信号出力端子29）からの電流信号は、第2アナログ信号読み出し回路42（積分回路43、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が第1デジタル信号変換部47に向けて送り出される。夫々の第2アナログ信号読み出し回路42と第1デジタル信号変換部47との間には、第7のスイッチ素子74が設けられている。この第7のスイッチ素子74は、第2アナログ信号読み出し回路42の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0026】第1デジタル信号変換部47は、A/Dコンバータ48を有しており、このA/Dコンバータ48は、第2の方向に、第2アナログ信号読み出し回路42の数に対応してN個配列されて、アレイ状に形成されている。夫々のA/Dコンバータ48は、夫々の第2アナログ信号読み出し回路42からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子90に向けて送り出す。

【0027】第1シフトレジスタ50は、夫々の受光素子21<sub>n</sub>のフォトダイオード23で発生した電流信号

を送り出すために、夫々の第1のスイッチ素子25に対して走査信号S<sub>n</sub>を出力する。第1シフトレジスタ50は、図2に示されるように、第2の方向に配列された受光素子21<sub>1</sub>、<sub>n</sub>～21<sub>N</sub>、<sub>n</sub>の第1のスイッチ素子25に対して、同時に走査信号S<sub>n</sub>を出力し得るように、これらの第1のスイッチ素子25に対して接続されている。

【0028】第2シフトレジスタ60も、第1シフトレジスタ50と同様に、夫々の受光素子21<sub>n</sub>のフォトダイオード23で発生した電流信号を送り出すために、夫々の第1のスイッチ素子25に対して走査信号S<sub>n</sub>を出力する。第2シフトレジスタ60は、図2に示されるように、第2の方向に配列された受光素子21<sub>1</sub>、<sub>n</sub>～21<sub>N</sub>、<sub>n</sub>の第1のスイッチ素子25に対して、同時に走査信号S<sub>n</sub>を出力し得るように、これらの第1のスイッチ素子25に対して接続されている。

【0029】次に、第1実施形態の固体撮像装置1の動作を説明する。この固体撮像装置1では、受光部20が入射した光が形成する光像を入力し、受光部20のフォトダイオード23に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード23に蓄積された電荷量を以下のようにして読み出す。

【0030】第1アナログ信号読み出し部30側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子71が閉じられ、夫々の第3のスイッチ素子72が開かれる。また、読み出しの実行に先立って、積分回路33に対するリセット信号Rを有意として、第4のスイッチ素子39を閉じて容量素子37を初期化する。

【0031】次に、積分回路33に対するリセット信号Rを非有意として、第4のスイッチ素子39を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号S<sub>n</sub>が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1</sub>、<sub>1</sub>～21<sub>N</sub>、<sub>1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号S<sub>1</sub>が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子71を介して、第1アナログ信号読み出し回路31（第1アナログ信号読み出し部30）に出力される。そして、第1アナログ信号読み出し回路31の積分回路33によってその帰還容量である容量素子37に蓄積されていき、積分回路33の出力端子から出力される電圧信号は次第に大きくなっていく。

【0032】積分回路33から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路31（第1アナログ信号読み



出し部 30) から出力され、第 1 の方向での走査における第 1 番目の受光素子  $211_1 \sim 21N_1$  に関するデータ読み出しを終了する。なお、夫々の第 1 アナログ信号読み出し回路 31 からアナログ信号が出力される際に、夫々の第 5 のスイッチ素子 73 に送られる信号を順次有意として、各第 1 アナログ信号読み出し回路 31 から順次アナログ信号を出力させており、第 2 の方向での走査を行っている。

【0033】次いで、積分回路 33 に対するリセット信号 R を有意として、第 4 のスイッチ素子 39 を閉じて容量素子 37 を初期化しながら、第 1 の方向での走査における第 2 番目以降の受光素子  $211_n \sim 21N_n$  に関するデータ読み出しを実行する。

【0034】こうして、受光部 20 に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【0035】一方、第 1 デジタル信号読み出し部 40 側にて、夫々のフォトダイオード 23 に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第 2 のスイッチ素子 71 が開かれ、夫々の第 3 のスイッチ素子 72 及び夫々の第 7 のスイッチ素子 74 が閉じられる。また、読み出しの実行に先立って、積分回路 43 に対するリセット信号 R を有意として、第 6 のスイッチ素子 46 を閉じて容量素子 45 を初期化する。

【0036】次に、積分回路 43 に対するリセット信号 R を非有意として、第 6 のスイッチ素子 46 を開き、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか一方から夫々の第 1 のスイッチ素子 25 に  $S_n$  が所定のタイミングにて有意とされる。各単位受光部  $22_n$  の第 1 の方向での走査における第 1 番目の受光素子  $211_1 \sim 21N_1$  の第 1 のスイッチ素子 25 のみを「ON」とする走査信号  $S_1$  が有意とされる。第 1 のスイッチ素子 25 が「ON」となると、それまでの受光によってフォトダイオード 23 に蓄積された電荷が電流信号となって、第 3 のスイッチ素子 72 を介して、第 2 アナログ信号読み出し回路 42 (第 1 デジタル信号読み出し部 40) に出力される。そして、第 2 アナログ信号読み出し回路 42 の積分回路 43 によってその帰還容量である容量素子 45 に蓄積されていき、積分回路 43 の出力端子から出力される電圧信号は次第に大きくなっていく。

【0037】積分回路 43 から出力された電圧信号は、CDS 回路等を介して、アナログ信号として夫々の第 2 アナログ信号読み出し回路 42 から夫々の A/D コンバータ 48 に出力される。A/D コンバータ 48 では、第 2 アナログ信号読み出し回路 42 から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号がデータバスに出力され、第 1 の方向での走査における第 1 番目の受光素子  $211_1 \sim 21N_1$  に関するデータ読み出しを終了する。夫々の A/D コンバータ 48 からデジ

タル信号が出力される際に、夫々の A/D コンバータ 48 は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第 2 の方向での走査を行っている。なお、夫々の第 2 アナログ信号読み出し回路 42 からアナログ信号が出力される際に、夫々の第 7 のスイッチ素子 74 に送られる信号を順次有意として、各第 2 アナログ信号読み出し回路 42 から順次アナログ信号を出力させることにより、第 2 の方向での走査を行うことも可能である。

【0038】次いで、積分回路 33 に対するリセット信号 R を有意として、第 6 のスイッチ素子 46 を閉じて容量素子 45 を初期化しながら、第 1 の方向での走査における第 2 番目以降の受光素子  $211_n \sim 21N_n$  に関するデータ読み出しを実行する。

【0039】こうして、受光部 20 に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【0040】以上のように、第 1 実施形態の固体撮像装置 1 によれば、第 1 シフトレジスタ 50 は、受光素子  $21n_n$  が N 行×N 列に 2 次元配列された受光部 20 の第 3 の辺 20c に沿って設けられ、第 2 シフトレジスタ 60 は、受光部 20 の第 4 の辺 20d に沿って設けられている。また、この第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 は、夫々のフォトダイオード 23 で発生した電流信号を、夫々の単位受光部  $22_n$  の第 1 信号出力端子 27 及び第 2 信号出力端子 29 のいずれに向けても送り出し得るように、走査信号  $S_n$  を出力するので、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、夫々の第 2 のスイッチ素子 71 を閉じ、夫々の第 3 のスイッチ素子 72 を開いた場合には、各単位受光部  $22_n$  (第 1 の方向に配列されたフォトダイオード 23) で発生した電流信号を、第 1 アナログ信号読み出し部 30 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部  $22_n$  で発生した電流信号が第 1 アナログ信号読み出し部 30 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジスタ 50 により各単位受光部  $22_n$  で発生した電流信号が第 1 アナログ信号読み出し部 30 に向けて送り出されことになる。

【0041】同様に、夫々の第 2 のスイッチ素子 71 を開き、夫々の第 3 のスイッチ素子 72 を閉じた場合には、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、各単位受光部  $22_n$  で発生した電流信号を、第 1 デジタル信号読み出し部 40 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部  $22_n$  で発生した電流信号が第 1 デジタル信号読み出し部 40 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジ

スタ 50 により各单位受光部 22<sub>n</sub>で発生した電流信号が第 1 デジタル信号読み出し部 40 に向けて送り出されことになる。

【0042】したがって、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか一方に欠陥がある場合でも、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか他方にて、第 1 アナログ信号読み出し部 30 あるいは第 1 デジタル信号読み出し部 40 に向けて各单位受光部 22<sub>n</sub>で発生した電流信号を送り出すことが可能となり、受光部 20 を大面積化し、第 1 アナログ信号読み出し部 30、第 1 デジタル信号読み出し部 40、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 等の周辺回路を同一の基板 10 に設けた場合においても固体撮像装置 1 の歩留まりの低下を抑制することができる。

【0043】また、第 3 の辺 20c に沿って第 1 シフトレジスタ 50 を設け、第 4 の辺 20d に沿って第 2 シフトレジスタ 60 を設けることで、第 1 シフトレジスタ 50 と第 2 シフトレジスタ 60 とが受光部 20 を挟んだ対向する位置に設けられることになり、基板 10 をコンパクトに構成することができる。

【0044】また、第 1 アナログ信号読み出し部 30 は、受光素子 21<sub>n</sub>が N 行×N 列に 2 次元配列された受光部 20 の第 1 の辺 20a に沿って設けられ、第 1 デジタル信号読み出し部 40 は、受光部 20 の第 1 の辺 20a に対向する第 2 の辺 20b に沿って設けられている。また、第 1 アナログ信号読み出し部 30 は、夫々の単位受光部 22<sub>n</sub>の第 1 信号出力端子 27 から出力された信号を夫々個別に入力し、単位受光部 22<sub>n</sub>から出力された電流信号をアナログ信号として読み出す N 個の第 1 アナログ信号読み出し回路 31 を有し、第 1 デジタル信号読み出し部 40 は、夫々の単位受光部 22<sub>n</sub>の第 2 信号出力端子 29 から出力された信号を夫々個別に入力し、単位受光部 22<sub>n</sub>から出力された電流信号をアナログ信号として読み出す N 個の第 2 アナログ信号読み出し回路 42 と、夫々の第 2 アナログ信号読み出し回路 42 から出力されたアナログ信号をデジタル信号に変換する N 個の A/D コンバータ 48 とを有している。夫々の第 2 のスイッチ素子 71 を開き、夫々の第 3 のスイッチ素子 72 を閉じた場合には、第 1 シフトレジスタ 50 あるいは第 2 シフトレジスタ 60 が第 2 信号出力端子 29 側に向けて電流信号を送り出すことになり、夫々の単位受光部 22<sub>n</sub>におけるフォトダイオード 23 で発生した電流信号が夫々の第 1 デジタル信号読み出し部 40 にてデジタル信号として読み出されることになる。

【0045】一方、第 1 デジタル信号読み出し部 40、例えば N 個の A/D コンバータ 48 のうちのいずれかに欠陥がある場合には、夫々の第 2 のスイッチ素子 71 を閉じ、夫々の第 3 のスイッチ素子 72 を開き、第 1 シフトレジスタ 50 あるいは第 2 シフトレジスタ 60 により

第 1 信号出力端子 27 側に向けて電流信号を送り出すことで、夫々の単位受光部 22<sub>n</sub>におけるフォトダイオード 23 で発生した電流信号が夫々の第 1 アナログ信号読み出し回路 31（第 1 アナログ信号読み出し部 30）にてアナログ信号として読み出されることになる。

【0046】したがって、第 1 デジタル信号読み出し部 40 側に欠陥がある場合でも、第 1 アナログ信号読み出し部 30 側にてフォトダイオード 23 で発生した電流信号を読み出すことが可能となり、受光部 20 を大面積化し、第 1 アナログ信号読み出し部 30、第 1 デジタル信号読み出し部 40、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 等の周辺回路を同一の基板 10 に設けた場合においても固体撮像装置 1 の歩留まりの低下を更に抑制することができる。

【0047】また、第 1 デジタル信号読み出し部 40 側にてフォトダイオード 23 で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けの A/D コンバータが不要となり、固体撮像装置 1 の低コスト化が可能となる。また、第 1 デジタル信号読み出し部 40 での分解能は、同一の基板 10 に設けられるためスペース的な問題から、高くすることには限界（例えば、11 ビット程度の分解能）があるものの、第 1 アナログ信号読み出し部 30 側にてフォトダイオード 23 で発生した電流信号を読み出す場合には、外付けの A/D コンバータを用いることで、高分解能化（例えば 16 ビット程度の分解能）が可能となる。

【0048】また、第 1 の辺 20a に沿って第 1 アナログ信号読み出し部 30 を設け、第 2 の辺 20b に沿って第 1 デジタル信号読み出し部 40 を設けることで、第 1 アナログ信号読み出し部 30 と第 1 デジタル信号読み出し部 40 とが受光部 20 を挟んだ対向する位置に設けられることになり、基板 10 を更にコンパクトに構成することができる。

【0049】（第 2 実施形態）次に、本発明に係る固体撮像装置の第 2 実施形態について、図 3 及び図 4 を用いて説明する。図 3 は、第 2 実施形態に係る固体撮像装置の概略構成を示す概念図であり、図 3 は、第 2 実施形態に係る固体撮像装置の回路構成図である。第 2 実施形態に係る固体撮像装置 101 は、第 1 実施形態に係る固体撮像装置 1 と比べて、2 つのアナログ信号読み出し部を有する点で相違する。

【0050】第 2 実施形態に係る固体撮像装置 101 は、図 3 に示されるように、矩形に形成された基板 110 を有し、この基板 110 には、受光部 20、第 1 アナログ信号読み出し部 130、第 1 デジタル信号読み出し部 140、第 2 アナログ信号読み出し部 150、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 が、CMOS プロセス等を用いて設けられている。基板 110 には、第 1 実施形態と同様に、8 インチφのシリコンウェ

ハを用いている。

【0051】受光部20は、各辺が130mmとされた略正方形に形成されており、この中に縦横50 $\mu$ mピッチ程度で各受光素子（画素）21<sub>1,1</sub>～21<sub>N,N</sub>が形成されている。第1アナログ信号読み出し部130は、受光部20の第1の辺20aに沿って設けられている。第1デジタル信号読み出し部140は、受光部20の第1の辺20aに沿って設けられた第1アナログ信号読み出し部130に沿って設けられている。第2アナログ信号読み出し部150は、受光部20の第1の辺20aに対向する第2の辺20bに沿って設けられている。第1シフトレジスタ50は、受光部20の第1の辺20a及び第2の辺20bに直交する第3の辺20cに沿って設けられている。第2シフトレジスタ60は、受光部20の第1の辺20a及び第2の辺20bに直交し且つ第3の辺20cに対向する第4の辺20dに沿って設けられている。第1アナログ信号読み出し部130、第1デジタル信号読み出し部140及び第2アナログ信号読み出し部150には、各々信号出力端子191、192、193が接続されている。

【0052】受光部20は、図4に示されるように、受光素子21<sub>n,n</sub>がN行×N列に2次元配列されている。夫々の受光素子21<sub>1,1</sub>～21<sub>N,N</sub>は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード23と、第1のスイッチ素子25とを有している。第1のスイッチ素子25は信号入力端子と信号出力端子を有しており、第1のスイッチ素子25の信号入力端子はフォトダイオード23の信号出力端子に接続されており、第1シフトレジスタ50あるいは第2シフトレジスタ60からの走査信号S<sub>n</sub>に応じてフォトダイオード23で発生した電流信号を信号出力端子から流出する。このような受光素子21<sub>n,n</sub>が、第1の方向（第3の辺20cあるいは第4の辺20dの延びる方向）に沿ってN個配列されおり、この第1の方向に沿ってN個配列された受光素子21<sub>1,1</sub>～21<sub>N,N</sub>は、夫々の第1のスイッチ素子25の信号出力端子が電氣的に接続されることにより単位受光部22<sub>n</sub>を構成している。この単位受光部22<sub>n</sub>は、第1の方向と直交する第2の方向（第1の辺20aあるいは第2の辺20bの延びる方向）に沿ってN個配列されている。

【0053】夫々の単位受光部22<sub>n</sub>の一方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電氣的に接続された第1信号出力端子27が設けられ、夫々の単位受光部22<sub>n</sub>の他方の端部には、夫々の第1スイッチ素子25の信号出力端子と互いに電氣的に接続された第2信号出力端子29が各々設けられている。夫々の第1信号出力端子27は、第2のスイッチ素子181を介して第1アナログ信号読み出し部130に接続される。この第2のスイッチ素子181は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置され

たフォトダイオード23の数）に対応してN個配列されている。また、夫々の第2信号出力端子29は、第3のスイッチ素子182を介して第2アナログ信号読み出し部150に接続される。この第3のスイッチ素子182は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。第2のスイッチ素子181及び第3のスイッチ素子182は、制御回路（図示せず）からの信号に応じて、作動する。

【0054】第1アナログ信号読み出し部130は、図4に示されるように、第1アナログ信号読み出し回路131を有している。この第1アナログ信号読み出し回路131は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第1アナログ信号読み出し回路131は、積分回路133、CDS回路（図示せず）等を有している。積分回路133は、単位受光部22<sub>n</sub>（第1信号出力端子27）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器135と、電荷増幅器135の入力端子に一方の端子が接続され、電荷増幅器135の出力端子に他方の端子が接続された容量素子137と、電荷増幅器135の入力端子に一方の端子が接続され、電荷増幅器135の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意的場合には「ON」状態となり、リセット信号Rが非有意的場合には「OFF」状態となる第4のスイッチ素子139とを有している。この積分回路133は、リセット信号Rが非有意的場合には、単位受光部22<sub>n</sub>からの出力信号を入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子137に積分の動作を行い、リセット信号Rが有意的場合には非積分の動作を行うようになる。

【0055】単位受光部22<sub>n</sub>（第1信号出力端子27）からの電流信号は、第1アナログ信号読み出し回路131（積分回路133、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子191に向けて送り出される。夫々の第1アナログ信号読み出し回路131の後段（信号出力端子191との間）には、第5のスイッチ素子183が設けられている。この第5のスイッチ素子183は、第1アナログ信号読み出し回路131の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0056】また、第1アナログ信号読み出し回路131により読み出されたアナログ信号は、第1デジタル信号読み出し部140に向けても送り出される。夫々の第1アナログ信号読み出し回路131と第1デジタル信号読み出し部140との間には、第6のスイッチ素子184が設けられている。この第6のスイッチ素子184は、第1アナログ信号読み出し回路131の数に対応し

てN個配列されており、制御回路からの信号に応じて、作動する。ここで、第5のスイッチ素子183と第6のスイッチ素子184とは、各請求項における第1出力選択回路を構成している。

【0057】第1デジタル信号読み出し部140は、A/Dコンバータ141を有しており、このA/Dコンバータ141は、第2の方向に、第1アナログ信号読み出し回路131の数に対応してN個配列されて、アレイ状に形成されている。夫々のA/Dコンバータ141は、夫々の第1アナログ信号読み出し回路131からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子192に向けて送り出す。

【0058】第2アナログ信号読み出し部150は、図4に示されるように、第2アナログ信号読み出し回路151を有している。この第2アナログ信号読み出し回路151は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第2アナログ信号読み出し回路151は、積分回路153、CDS回路（図示せず）等を有している。積分回路153は、単位受光部22<sub>n</sub>（第2信号出力端子29）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器155と、電荷増幅器155の入力端子に一方の端子が接続され、電荷増幅器155の出力端子に他方の端子が接続された容量素子157と、電荷増幅器155の入力端子に一方の端子が接続され、電荷増幅器155の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第7のスイッチ素子159とを有している。この積分回路153は、リセット信号Rが非有意の場合には、単位受光部22<sub>n</sub>からの出力信号を入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子157に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0059】単位受光部22<sub>n</sub>（第2信号出力端子29）からの電流信号は、第2アナログ信号読み出し回路151（積分回路153、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子193に向けて送り出される。夫々の第2アナログ信号読み出し回路151の後段（信号出力端子193との間）には、第8のスイッチ素子185が設けられている。この第8のスイッチ素子185は、第2アナログ信号読み出し回路151の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0060】次に、第2実施形態の固体撮像装置101の動作を説明する。この固体撮像装置101では、受光部20が入射した光が形成する光像を入力し、受光部2

0のフォトダイオード23に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード23に蓄積された電荷量を以下のようにして読み出す。

【0061】第1アナログ信号読み出し部130側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子181が閉じられ、夫々の第3のスイッチ素子182が開かれ、夫々の第5のスイッチ素子183が閉じられ、夫々の第6のスイッチ素子184が開かれる。また、読み出しの実行に先立って、積分回路133に対するリセット信号Rを有意として、第4のスイッチ素子139を閉じて容量素子137を初期化する。

【0062】次に、積分回路133に対するリセット信号Rを非有意として、第4のスイッチ素子139を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号S<sub>n</sub>が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>～21<sub>N,1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号S<sub>n</sub>が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子181を介して、第1アナログ信号読み出し回路131（第1アナログ信号読み出し部130）に出力される。そして、第1アナログ信号読み出し回路131の積分回路133によってその帰還容量である容量素子137に蓄積されている、積分回路133の出力端子から出力される電圧信号は次第に大きくなっていく。

【0063】積分回路133から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路131（第1アナログ信号読み出し部130）から出力され、第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>～21<sub>N,1</sub>に関するデータ読み出しを終了する。夫々の第6のスイッチ素子184は開かれているため、第1アナログ信号読み出し回路131（第1アナログ信号読み出し部130）から出力されるアナログ信号は第1デジタル信号読み出し部140に送られることはない。なお、夫々の第1アナログ信号読み出し回路131からアナログ信号が出力される際に、夫々の第5のスイッチ素子183に送られる信号を順次有意として、各第1アナログ信号読み出し回路131から順次アナログ信号を出力させており、第2の方向での走査を行っている。

【0064】次いで、積分回路133に対するリセット信号Rを有意として、第4のスイッチ素子139を閉じて容量素子137を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1,n</sub>～21<sub>N,n</sub>に

関するデータ読み出しを実行する。

【0065】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【0066】一方、第1デジタル信号読み出し部140側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子181が閉じられ、夫々の第3のスイッチ素子182が開かれ、夫々の第5のスイッチ素子183が開かれ、夫々の第6のスイッチ素子184が閉じられる。また、読み出しの実行に先立って、積分回路133に対するリセット信号Rを有意として、第4のスイッチ素子139を閉じて容量素子137を初期化する。

【0067】次に、積分回路133に対するリセット信号Rを非有意として、第4のスイッチ素子139を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号 $S_n$ が所定のタイミングにて有意とされる。各单位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>~21<sub>N.1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号 $S_1$ が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子181を介して、第1アナログ信号読み出し回路131に出力される。そして、第1アナログ信号読み出し回路131の積分回路133によってその帰還容量である容量素子137に蓄積されていき、積分回路133の出力端子から出力される電圧信号は次第に大きくなっていく。

【0068】積分回路133から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路131から夫々のA/Dコンバータ141（第1デジタル信号読み出し部140）に出力される。A/Dコンバータ141では、第1アナログ信号読み出し回路131から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のA/Dコンバータ141（第1デジタル信号読み出し部140）からデータバスに出力され、第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>~21<sub>N.1</sub>に関するデータ読み出しを終了する。夫々のA/Dコンバータ141からデジタル信号が出力される際に、夫々のA/Dコンバータ141は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第2の方向での走査を行っている。夫々の第5のスイッチ素子183は開かれているため、第1アナログ信号読み出し回路131（第1アナログ信号読み出し部130）から出力されるアナログ信号は信号出力端子191に送られることはない。なお、夫々の第1アナログ信号読み出し回路131からアナログ信号が出力される際

に、夫々の第6のスイッチ素子184に送られる信号を順次有意として、各第1アナログ信号読み出し回路131から順次アナログ信号を出力させることにより、第2の方向での走査を行うことも可能である。

【0069】次いで、積分回路133に対するリセット信号Rを有意として、第4のスイッチ素子139を閉じて容量素子137を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1.2</sub>~21<sub>N.2</sub>に関するデータ読み出しを実行する。

【0070】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【0071】第2アナログ信号読み出し部150側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子181が開かれ、夫々の第3のスイッチ素子182が閉じられる。また、読み出しの実行に先立って、積分回路153に対するリセット信号Rを有意として、第7のスイッチ素子を閉じて容量素子157を初期化する。

【0072】次に、積分回路153に対するリセット信号Rを非有意として、第7のスイッチ素子159を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号 $S_n$ が所定のタイミングにて有意とされる。各单位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>~21<sub>N.1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号 $S_1$ が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第3のスイッチ素子182を介して、第2アナログ信号読み出し回路151（第2アナログ信号読み出し部150）に出力される。そして、第2アナログ信号読み出し回路151の積分回路153によってその帰還容量である容量素子157に蓄積されていき、積分回路153の出力端子から出力される電圧信号は次第に大きくなっていく。

【0073】積分回路153から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第2アナログ信号読み出し回路151（第2アナログ信号読み出し部150）から出力され、第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>~21<sub>N.1</sub>に関するデータ読み出しを終了する。なお、夫々の第2アナログ信号読み出し回路151からアナログ信号が出力される際に、夫々の第8のスイッチ素子185に送られる信号を順次有意として、各第2アナログ信号読み出し回路151から順次アナログ信号を出力させており、第2の方向での走査を行っている。

【0074】次いで、積分回路153に対するリセット信号Rを有意として、第7のスイッチ素子159を閉じ

て容量素子 157 を初期化しながら、第 1 の方向での走査における第 2 番目以降の受光素子  $21_{1,n} \sim 21_{N,n}$  に関するデータ読み出しを実行する。

【0075】 こうして、受光部 20 に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【0076】 以上のように、第 2 実施形態の固体撮像装置 101 によれば、第 1 シフトレジスタ 50 は、受光素子  $21_{n,n}$  が  $N$  行  $\times$   $N$  列に 2 次元配列された受光部 20 の第 3 の辺 20c に沿って設けられ、第 2 シフトレジスタ 60 は、受光部 20 の第 4 の辺 20d に沿って設けられている。また、この第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 は、夫々のフォトダイオード 23 で発生した電流信号を、夫々の単位受光部  $22_n$  の第 1 信号出力端子 27 及び第 2 信号出力端子 29 のいずれに向けても送り出し得るように、走査信号  $S_n$  を出力するので、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、夫々の第 2 のスイッチ素子 181 を閉じ、夫々の第 3 のスイッチ素子 182 を開いた場合には、各単位受光部  $22_n$  (第 1 の方向に配列されたフォトダイオード 23) で発生した電流信号を、第 1 アナログ信号読み出し部 130 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部  $22_n$  で発生した電流信号が第 1 アナログ信号読み出し部 130 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジスタ 50 により各単位受光部  $22_n$  で発生した電流信号が第 1 アナログ信号読み出し部 130 に向けて送り出されことになる。

【0077】 同様に、夫々の第 2 のスイッチ素子 181 を開き、夫々の第 3 のスイッチ素子 182 を閉じた場合には、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、各単位受光部  $22_n$  で発生した電流信号を、第 2 アナログ信号読み出し部 150 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部  $22_n$  で発生した電流信号が第 2 アナログ信号読み出し部 150 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジスタ 50 により各単位受光部  $22_n$  で発生した電流信号が第 2 アナログ信号読み出し部 150 に向けて送り出されことになる。

【0078】 したがって、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか一方に欠陥がある場合でも、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか他方にて、第 1 アナログ信号読み出し部 130 あるいは第 2 アナログ信号読み出し部 150 に向けて各単位受光部  $22_n$  で発生した電流信号を送り出すことが可能となり、受光部 20 を大面積化し、第 1 ア

ナログ信号読み出し部 130、第 1 デジタル信号読み出し部 140、第 2 アナログ信号読み出し部 150、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 等の周辺回路を同一の基板 110 に設けた場合においても固体撮像装置 1 の歩留まりの低下を抑制することができる。

【0079】 また、第 3 の辺 20c に沿って第 1 シフトレジスタ 50 を設け、第 4 の辺 20d に沿って第 2 シフトレジスタ 60 を設けることで、第 1 シフトレジスタ 50 と第 2 シフトレジスタ 60 とが受光部 20 を挟んだ対向する位置に設けられることになり、基板 110 をコンパクトに構成することができる。

【0080】 また、第 1 アナログ信号読み出し部 130 は、受光部 20 の第 1 の辺 20a に沿って設けられ、第 1 デジタル信号読み出し部 140 は、第 1 アナログ信号読み出し部 130 に沿って設けられ、第 2 アナログ信号読み出し部 150 は、受光部 20 の第 1 の辺 20a に対向する第 2 の辺 20b に沿って設けられている。第 1 アナログ信号読み出し部 130 は、夫々の単位受光部  $22_n$  の第 1 信号出力端子 27 から出力された信号を夫々個別に入力し、単位受光部  $22_n$  から出力された電流信号をアナログ信号として読み出す  $N$  個の第 1 アナログ信号読み出し回路 131 を有し、第 1 デジタル信号読み出し部 140 は、夫々の第 1 アナログ信号読み出し回路 131 から出力されたアナログ信号をデジタル信号に変換する  $N$  個の  $A/D$  コンバータ 141 を有し、第 2 アナログ信号読み出し部 150 は、夫々の単位受光部  $22_n$  の第 2 信号出力端子 29 から出力された信号を夫々個別に入力し、単位受光部  $22_n$  から出力された電流信号をアナログ信号として読み出す  $N$  個の第 2 アナログ信号読み出し回路 151 を有している。夫々の第 2 のスイッチ素子 181 を閉じ、夫々の第 3 のスイッチ素子 182 を開き、夫々の第 5 のスイッチ素子 183 を開き、夫々の第 6 のスイッチ素子 184 を閉じた場合には、第 1 シフトレジスタ 50 あるいは第 2 シフトレジスタ 60 が第 1 信号出力端子 27 側に向けて電流信号を送り出すことになり、夫々の単位受光部  $22_n$  におけるフォトダイオード 23 で発生した電流信号が夫々の第 1 デジタル信号読み出し部 140 にてデジタル信号として読み出されることになる。

【0081】 一方、第 1 デジタル信号読み出し部 140、例えば  $N$  個の  $A/D$  コンバータ 141 のうちのいずれかに欠陥がある場合には、夫々の第 2 のスイッチ素子 181 を閉じ、夫々の第 3 のスイッチ素子 182 を開き、夫々の第 5 のスイッチ素子 183 を閉じ、夫々の第 6 のスイッチ素子 184 を開き、第 1 シフトレジスタ 50 あるいは第 2 シフトレジスタ 60 により第 1 信号出力端子 27 側に向けて電流信号を送り出すことで、夫々の単位受光部  $22_n$  におけるフォトダイオード 23 で発生した電流信号が夫々の第 1 アナログ信号読み出し回路 131 (第 1 アナログ信号読み出し部 130) にてアナロ

グ信号として読み出されることになる。

【0082】更に、第1デジタル信号読み出し部140及び第1アナログ信号読み出し部130に欠陥がある場合には、夫々の第2のスイッチ素子181を開き、夫々の第3のスイッチ素子182を閉じ、第1シフトレジスタ50あるいは第2シフトレジスタ60により第2信号出力端子29側に向けて電流信号を送り出すことで、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第2アナログ信号読み出し回路151（第2アナログ信号読み出し部150）にてアナログ信号として読み出されることになる。

【0083】したがって、第1デジタル信号読み出し部140側に欠陥がある場合には、第1アナログ信号読み出し部130側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、また、第1デジタル信号読み出し部140及び第1アナログ信号読み出し部130に欠陥がある場合でも、第2アナログ信号読み出し部150側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、受光部20を大面積化し、第1アナログ信号読み出し部130、第1デジタル信号読み出し部140、第2アナログ信号読み出し部150、第1シフトレジスタ50及び第2シフトレジスタ60等の周辺回路を同一の基板110に設けた場合においても固体撮像装置101の歩留まりの低下を更に抑制することができる。

【0084】また、第1デジタル信号読み出し部140側にてフォトダイオード23で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/Dコンバータが不要となり、固体撮像装置101の低コスト化が可能となる。また、第1デジタル信号読み出し部140での分解能は、同一の基板110に設けられるためスペース的な問題から、高くすることには限界（例えば、11ビット程度の分解能）があるものの、第1アナログ信号読み出し部130側あるいは第2アナログ信号読み出し部150側にてフォトダイオード23で発生した電流信号を読み出す場合には、外付けのA/Dコンバータを用いることで、高分解能化（例えば16ビット程度の分解能）が可能となる。

【0085】また、第1の辺20aに沿って第1アナログ信号読み出し部130（第1デジタル信号読み出し部140）を設け、第2の辺20bに沿って第2アナログ信号読み出し部150を設けることで、第1アナログ信号読み出し部130（第1デジタル信号読み出し部140）と第1アナログ信号読み出し部130とが受光部20を挟んだ対向する位置に設けられることになり、基板110を更にコンパクトに構成することができる。

【0086】（第3実施形態）次に、本発明に係る固体撮像装置の第3実施形態について、図5及び図6を用いて説明する。図5は、第3実施形態に係る固体撮像装置

の概略構成を示す概念図であり、図6は、第3実施形態に係る固体撮像装置の回路構成図である。第3実施形態に係る固体撮像装置201は、第2実施形態に係る固体撮像装置101と比べて、2つのデジタル信号読み出し部を有する点で相違する。

【0087】第3実施形態に係る固体撮像装置201は、図5に示されるように、矩形に形成された基板210を有し、この基板210には、受光部20、第1アナログ信号読み出し部230、第1デジタル信号読み出し部240、第2アナログ信号読み出し部250、第2デジタル信号読み出し部260、第1シフトレジスタ50及び第2シフトレジスタ60が、CMOSプロセス等を用いて設けられている。基板210には、第1実施形態及び第2実施形態と同様に、8インチφのシリコンウェハを用いている。

【0088】受光部20は、各辺が130mmとされた略正方形に形成されており、この中に縦横50μmピッチ程度で各受光素子（画素）21<sub>1,1</sub>～21<sub>N,N</sub>が形成されている。第1アナログ信号読み出し部230は、受光部20の第1の辺20aに沿って設けられている。第1デジタル信号読み出し部240は、受光部20の第1の辺20aに沿って設けられた第1アナログ信号読み出し部230に沿って設けられている。第2アナログ信号読み出し部250は、受光部20の第1の辺20aに対向する第2の辺20bに沿って設けられている。第2デジタル信号読み出し部260は、受光部20の第2の辺20bに沿って設けられた第2アナログ信号読み出し部250に沿って設けられている。第1シフトレジスタ50は、受光部20の第1の辺20a及び第2の辺20bに直交する第3の辺20cに沿って設けられている。第2シフトレジスタ60は、受光部20の第1の辺20a及び第2の辺20bに直交し且つ第3の辺20cに対向する第4の辺20dに沿って設けられている。第1アナログ信号読み出し部230、第1デジタル信号読み出し部240、第2アナログ信号読み出し部250及び第2デジタル信号読み出し部260には、各々信号出力端子291, 292, 293, 294が接続されている。

【0089】受光部20は、図6に示されるように、受光素子21<sub>n,n</sub>がN行×N列に2次元配列されている。夫々の受光素子21<sub>1,1</sub>～21<sub>N,N</sub>は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード23と、第1のスイッチ素子25とを有している。第1のスイッチ素子25は信号入力端子と信号出力端子を有しており、第1のスイッチ素子25の信号入力端子はフォトダイオード23の信号出力端子に接続されており、第1シフトレジスタ50あるいは第2シフトレジスタ60からの走査信号S<sub>n</sub>に応じてフォトダイオード23で発生した電流信号を信号出力端子から流出する。このような受光素子21<sub>n,n</sub>が、第1の方向（第3の辺20cあるいは第4の辺20dの延びる方向）に沿ってN個配

列されおり、この第1の方向に沿ってN個配列された受光素子21<sub>n</sub>. 1~21<sub>n</sub>. Nは、夫々の第1のスイッチ素子25の信号出力端子が電氣的に接続されることにより単位受光部22<sub>n</sub>を構成している。この単位受光部22<sub>n</sub>は、第1の方向と直交する第2の方向（第1の辺20aあるいは第2の辺20bの延びる方向）に沿ってN個配列されている。

【0090】夫々の単位受光部22<sub>n</sub>の一方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電氣的に接続された第1信号出力端子27が設けられ、夫々の単位受光部22<sub>n</sub>の他方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電氣的に接続された第2信号出力端子29が各々設けられている。夫々の第1信号出力端子27は、第2のスイッチ素子281を介して第1アナログ信号読み出し部230に接続される。この第2のスイッチ素子281は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。また、夫々の第2信号出力端子29は、第3のスイッチ素子282を介して第2アナログ信号読み出し部250に接続される。この第3のスイッチ素子282は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。第2のスイッチ素子281及び第3のスイッチ素子282は、制御回路（図示せず）からの信号に応じて、作動する。

【0091】第1アナログ信号読み出し部230は、図6に示されるように、第1アナログ信号読み出し回路231を有している。この第1アナログ信号読み出し回路231は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第1アナログ信号読み出し回路231は、積分回路233、CDS回路（図示せず）等を有している。積分回路233は、単位受光部22<sub>n</sub>（第1信号出力端子27）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器237と、電荷増幅器237の入力端子に一方の端子が接続され、電荷増幅器237の出力端子に他方の端子が接続された容量素子237と、電荷増幅器237の入力端子に一方の端子が接続され、電荷増幅器237の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第4のスイッチ素子239とを有している。この積分回路233は、リセット信号Rが非有意の場合には、単位受光部22<sub>n</sub>からの出力信号を入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子237に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0092】単位受光部22<sub>n</sub>（第1信号出力端子27）からの電流信号は、第1アナログ信号読み出し回路231（積分回路233、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子291に向けて送り出される。夫々の第1アナログ信号読み出し回路231の後段（信号出力端子291との間）には、第5のスイッチ素子283が設けられている。この第5のスイッチ素子283は、第1アナログ信号読み出し回路231の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0093】また、第1アナログ信号読み出し回路231により読み出されたアナログ信号は、第1デジタル信号読み出し部240に向けても送り出される。夫々の第1アナログ信号読み出し回路231と第1デジタル信号読み出し部240との間には、第6のスイッチ素子284が設けられている。この第6のスイッチ素子284は、第1アナログ信号読み出し回路231の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。ここで、第5のスイッチ素子283と第6のスイッチ素子284とは、各請求項における第1出力選択回路を構成している。

【0094】第1デジタル信号読み出し部240は、A/Dコンバータ241を有しており、このA/Dコンバータ241は、第2の方向に、第1アナログ信号読み出し回路231の数に対応してN個配列されて、アレイ状に形成されている。夫々のA/Dコンバータ241は、夫々の第1アナログ信号読み出し回路231からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データベースを介して信号出力端子292に向けて送り出す。

【0095】第2アナログ信号読み出し部250は、図6に示されるように、第2アナログ信号読み出し回路251を有している。この第2アナログ信号読み出し回路251は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第2アナログ信号読み出し回路251は、積分回路253、CDS回路（図示せず）等を有している。積分回路253は、単位受光部22<sub>n</sub>（第2信号出力端子29）からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器257と、電荷増幅器257の入力端子に一方の端子が接続され、電荷増幅器257の出力端子に他方の端子が接続された容量素子257と、電荷増幅器257の入力端子に一方の端子が接続され、電荷増幅器257の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第7のスイッチ素子259とを有している。この積分回路253は、リセット信号Rが非有意の場合には、単位受光部22<sub>n</sub>からの出力信号を



入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子257に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0096】単位受光部22<sub>n</sub>（第2信号出力端子29）からの電流信号は、第2アナログ信号読み出し回路251（積分回路253、CDS回路等）により、アナログ信号として読み出され、このアナログ信号が信号出力端子293に向けて送り出される。夫々の第2アナログ信号読み出し回路251の後段（信号出力端子293との間）には、第8のスイッチ素子285が設けられている。この第8のスイッチ素子285は、第2アナログ信号読み出し回路251の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0097】また、第2アナログ信号読み出し回路251により読み出されたアナログ信号は、第2デジタル信号読み出し部260に向けても送り出される。夫々の第2アナログ信号読み出し回路251と第2デジタル信号読み出し部260との間には、第9のスイッチ素子286が設けられている。この第9のスイッチ素子286は、第2アナログ信号読み出し回路251の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。ここで、第8のスイッチ素子285と第9のスイッチ素子286とは、各請求項における第2出力選択回路を構成している。

【0098】第2デジタル信号読み出し部260は、A/Dコンバータ261を有しており、このA/Dコンバータ261は、第2の方向に、第2アナログ信号読み出し回路251の数に対応してN個配列されて、アレイ状に形成されている。夫々のA/Dコンバータ261は、夫々の第2アナログ信号読み出し回路251からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子294に向けて送り出す。

【0099】次に、第3実施形態の固体撮像装置201の動作を説明する。この固体撮像装置201では、受光部20が入射した光が形成する光像を入力し、受光部20のフォトダイオード23に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォトダイオード23に蓄積された電荷量を以下のようにして読み出す。

【0100】第1アナログ信号読み出し部230側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子281が閉じられ、夫々の第3のスイッチ素子282が開かれ、夫々の第5のスイッチ素子283が閉じられ、夫々の第6のスイッチ素子284が開かれる。また、読み出しの実行に先立って、積分回路233に対するリセット信号Rを有意として、第4のスイッチ素子239を閉じて容量素子237を初期

化する。

【0101】次に、積分回路233に対するリセット信号Rを非有意として、第4のスイッチ素子239を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号S<sub>n</sub>が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号S<sub>1</sub>が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子281を介して、第1アナログ信号読み出し回路231（第1アナログ信号読み出し部230）に出力される。そして、第1アナログ信号読み出し回路231の積分回路233によってその帰還容量である容量素子237に蓄積されている、積分回路233の出力端子から出力される電圧信号は次第に大きくなっていく。

【0102】積分回路233から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路231（第1アナログ信号読み出し部230）から出力され、第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>に関するデータ読み出しを終了する。夫々の第6のスイッチ素子284は開かれているため、第1アナログ信号読み出し回路231（第1アナログ信号読み出し部230）から出力されるアナログ信号は第1デジタル信号読み出し部240に送られることはない。なお、夫々の第1アナログ信号読み出し回路231からアナログ信号が出力される際に、夫々の第5のスイッチ素子283に送られる信号を順次有意として、各第1アナログ信号読み出し回路231から順次アナログ信号を出力させており、第2の方向での走査を行っている。

【0103】次いで、積分回路233に対するリセット信号Rを有意として、第4のスイッチ素子239を閉じて容量素子237を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1.n</sub>～21<sub>N.n</sub>に関するデータ読み出しを実行する。

【0104】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【0105】一方、第1デジタル信号読み出し部240側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子281が閉じられ、夫々の第3のスイッチ素子282が開かれ、夫々の第5のスイッチ素子283が開かれ、夫々の第6のスイッチ素子284が閉じられる。また、読み出しの実行に先立って、積分回路233に対するリセット信号Rを有意として、第4のスイッチ素子239を閉じて容量素子237

を初期化する。

【0106】次に、積分回路233に対するリセット信号Rを非有意として、第4のスイッチ素子239を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号 $S_n$ が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号 $S_1$ が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子281を介して、第1アナログ信号読み出し回路231に出力される。そして、第1アナログ信号読み出し回路231の積分回路233によってその帰還容量である容量素子237に蓄積されていき、積分回路233の出力端子から出力される電圧信号は次第に大きくなっていく。

【0107】積分回路233から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路231から夫々のA/Dコンバータ241（第1デジタル信号読み出し部240）に出力される。A/Dコンバータ241では、第1アナログ信号読み出し回路231から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のA/Dコンバータ241（第1デジタル信号読み出し部240）からデータバスに出力され、第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>に関するデータ読み出しを終了する。夫々のA/Dコンバータ241からデジタル信号が出力される際に、夫々のA/Dコンバータ241は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第2の方向での走査を行っている。夫々の第5のスイッチ素子283は開かれているため、第1アナログ信号読み出し回路231（第1アナログ信号読み出し部230）から出力されるアナログ信号は信号出力端子291に送られることはない。なお、夫々の第1アナログ信号読み出し回路231からアナログ信号が出力される際に、夫々の第6のスイッチ素子284に送られる信号を順次有意として、各第1アナログ信号読み出し回路231から順次アナログ信号を出力させることにより、第2の方向での走査を行うことも可能である。

【0108】次いで、積分回路233に対するリセット信号Rを有意として、第4のスイッチ素子239を閉じて容量素子237を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1.n</sub>～21<sub>N.n</sub>に関するデータ読み出しを実行する。

【0109】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【0110】第2アナログ信号読み出し部250側に

て、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子281が開かれ、夫々の第3のスイッチ素子282が閉じられ、夫々の第8のスイッチ素子285が閉じられ、夫々の第9のスイッチ素子286が開かれる。また、読み出しの実行に先立って、積分回路253に対するリセット信号Rを有意として、第7のスイッチ素子259を閉じて容量素子257を初期化する。

【0111】次に、積分回路253に対するリセット信号Rを非有意として、第7のスイッチ素子259を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号 $S_n$ が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号 $S_1$ が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第3のスイッチ素子282を介して、第2アナログ信号読み出し回路251（第2アナログ信号読み出し部250）に出力される。そして、第2アナログ信号読み出し回路251の積分回路253によってその帰還容量である容量素子257に蓄積されていき、積分回路253の出力端子から出力される電圧信号は次第に大きくなっていく。

【0112】積分回路253から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第2アナログ信号読み出し回路251（第2アナログ信号読み出し部250）から出力され、第1の方向での走査における第1番目の受光素子21<sub>1.1</sub>～21<sub>N.1</sub>に関するデータ読み出しを終了する。夫々の第9のスイッチ素子286は開かれているため、第2アナログ信号読み出し回路251（第2アナログ信号読み出し部250）から出力されるアナログ信号は第2デジタル信号読み出し部260に送られることはない。なお、夫々の第2アナログ信号読み出し回路251からアナログ信号が出力される際に、夫々の第8のスイッチ素子285に送られる信号を順次有意として、各第2アナログ信号読み出し回路251から順次アナログ信号を出力させており、第2の方向での走査を行っている。

【0113】次いで、積分回路253に対するリセット信号Rを有意として、第7のスイッチ素子259を閉じて容量素子257を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1.n</sub>～21<sub>N.n</sub>に関するデータ読み出しを実行する。

【0114】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を得る。

【0115】一方、第2デジタル信号読み出し部260

側にて、夫々のフォトダイオード 23 に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第 2 のスイッチ素子 281 が開かれ、夫々の第 3 のスイッチ素子 282 が閉じられ、夫々の第 8 のスイッチ素子 285 が開かれ、夫々の第 9 のスイッチ素子 286 が閉じられる。また、読み出しの実行に先立って、積分回路 253 に対するリセット信号 R を有意として、第 7 のスイッチ素子 259 を閉じて容量素子 257 を初期化する。

【0116】次に、積分回路 253 に対するリセット信号 R を非有意として、第 7 のスイッチ素子 259 を開き、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか一方から夫々の第 1 のスイッチ素子 25 に走査信号  $S_n$  が所定のタイミングにて有意とされる。各単位受光部 22<sub>n</sub> の第 1 の方向での走査における第 1 番目の受光素子 21<sub>1,1</sub> ~ 21<sub>N,1</sub> の第 1 のスイッチ素子 25 のみを「ON」とする走査信号  $S_1$  が有意とされる。第 1 のスイッチ素子 25 が「ON」となると、それまでの受光によってフォトダイオード 23 に蓄積された電荷が電流信号となって、第 3 のスイッチ素子 282 を介して、第 2 アナログ信号読み出し回路 251 に出力される。そして、第 2 アナログ信号読み出し回路 251 の積分回路 253 によってその帰還容量である容量素子 257 に蓄積されていき、積分回路 253 の出力端子から出力される電圧信号は次第に大きくなっていく。

【0117】積分回路 253 から出力された電圧信号は、CDS 回路等を介して、アナログ信号として夫々の第 2 アナログ信号読み出し回路 251 から夫々の A/D コンバータ 241 (第 2 デジタル信号読み出し部 260) に出力される。A/D コンバータ 241 では、第 2 アナログ信号読み出し回路 251 から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々の A/D コンバータ 241 (第 2 デジタル信号読み出し部 260) からデータバスに出力され、第 1 の方向での走査における第 1 番目の受光素子 21<sub>1,1</sub> ~ 21<sub>N,1</sub> に関するデータ読み出しを終了する。夫々の A/D コンバータ 241 からデジタル信号が出力される際に、夫々の A/D コンバータ 241 は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第 2 の方向での走査を行っている。夫々の第 8 のスイッチ素子 285 は開かれているため、第 2 アナログ信号読み出し回路 251 (第 2 アナログ信号読み出し部 250) から出力されるアナログ信号は信号出力端子 293 に送られることはない。なお、夫々の第 2 アナログ信号読み出し回路 251 からアナログ信号が出力される際に、夫々の第 6 のスイッチ素子 284 に送られる信号を順次有意として、各第 2 アナログ信号読み出し回路 251 から順次アナログ信号を出力させることにより、第 2 の方向での走査を行うことも可能である。

【0118】次いで、積分回路 253 に対するリセット

信号 R を有意として、第 7 のスイッチ素子 259 を閉じて容量素子 257 を初期化しながら、第 1 の方向での走査における第 2 番目以降の受光素子 21<sub>1,n</sub> ~ 21<sub>N,n</sub> に関するデータ読み出しを実行する。

【0119】こうして、受光部 20 に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【0120】以上のように、第 3 実施形態の固体撮像装置 201 によれば、第 1 シフトレジスタ 50 は、受光素子 21<sub>n,n</sub> が N 行 × N 列に 2 次元配列された受光部 20 の第 3 の辺 20c に沿って設けられ、第 2 シフトレジスタ 60 は、受光部 20 の第 4 の辺 20d に沿って設けられている。また、この第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 は、夫々のフォトダイオード 23 で発生した電流信号を、夫々の単位受光部 22<sub>n</sub> の第 1 信号出力端子 27 及び第 2 信号出力端子 29 のいずれに向けても送り出し得るように、走査信号  $S_n$  を出力するので、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、夫々の第 2 のスイッチ素子 281 を閉じ、夫々の第 3 のスイッチ素子 282 を開いた場合には、各単位受光部 22<sub>n</sub> (第 1 の方向に配列されたフォトダイオード 23) で発生した電流信号を、第 1 アナログ信号読み出し部 230 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部 22<sub>n</sub> で発生した電流信号が第 1 アナログ信号読み出し部 230 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジスタ 50 により各単位受光部 22<sub>n</sub> で発生した電流信号が第 1 アナログ信号読み出し部 230 に向けて送り出されことになる。

【0121】同様に、夫々の第 2 のスイッチ素子 281 を開き、夫々の第 3 のスイッチ素子 282 を閉じた場合には、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれも、各単位受光部 22<sub>n</sub> で発生した電流信号を、第 2 アナログ信号読み出し部 250 に向けて送り出す。これにより、第 1 シフトレジスタ 50 に欠陥がある場合には、第 2 シフトレジスタ 60 により各単位受光部 22<sub>n</sub> で発生した電流信号が第 2 アナログ信号読み出し部 250 に向けて送り出されことになる。一方、第 2 シフトレジスタ 60 に欠陥がある場合には、第 1 シフトレジスタ 50 により各単位受光部 22<sub>n</sub> で発生した電流信号が第 2 アナログ信号読み出し部 250 に向けて送り出されことになる。

【0122】したがって、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか一方に欠陥がある場合でも、第 1 シフトレジスタ 50 及び第 2 シフトレジスタ 60 のいずれか他方にて、第 1 アナログ信号読み出し部 230 あるいは第 2 アナログ信号読み出し部 250 に向けて各単位受光部 22<sub>n</sub> で発生した電流信号を送り出

すことが可能となり、受光部20を大面積化し、第1アナログ信号読み出し部230、第1デジタル信号読み出し部240、第2アナログ信号読み出し部250、第2デジタル信号読み出し部260、第1シフトレジスタ50及び第2シフトレジスタ60等の周辺回路を同一の基板210に設けた場合においても固体撮像装置1の歩留まりの低下を抑制することができる。

【0123】また、第3の辺20cに沿って第1シフトレジスタ50を設け、第4の辺20dに沿って第2シフトレジスタ60を設けることで、第1シフトレジスタ50と第2シフトレジスタ60とが受光部20を挟んだ対向する位置に設けられることになり、基板210をコンパクトに構成することができる。

【0124】また、第1アナログ信号読み出し部230は、受光部20の第1の辺20aに沿って設けられ、第1デジタル信号読み出し部240は、第1アナログ信号読み出し部230に沿って設けられ、第2アナログ信号読み出し部250は、受光部20の第1の辺20aに対向する第2の辺20bに沿って設けられ、第2デジタル信号読み出し部260は、第2アナログ信号読み出し部250に沿って設けられている。また、第1アナログ信号読み出し部230は、夫々の単位受光部22<sub>n</sub>の第1信号出力端子27から出力された信号を夫々個別に入力し、単位受光部22<sub>n</sub>から出力された電流信号をアナログ信号として読み出すN個の第1アナログ信号読み出し回路231を有し、第1デジタル信号読み出し部240は、夫々の第1アナログ信号読み出し回路231から出力されたアナログ信号をデジタル信号に変換するN個のA/Dコンバータ241を有し、第2アナログ信号読み出し部250は、夫々の単位受光部22<sub>n</sub>の第2信号出力端子29から出力された信号を夫々個別に入力し、単位受光部22<sub>n</sub>から出力された電流信号をアナログ信号として読み出すN個の第2アナログ信号読み出し回路251を有し、第2デジタル信号読み出し部260は、夫々の第2アナログ信号読み出し回路251から出力されたアナログ信号をデジタル信号に変換するN個のA/Dコンバータ241を有している。夫々の第2のスイッチ素子281を閉じ、夫々の第3のスイッチ素子282を開き、夫々の第5のスイッチ素子283を開き、夫々の第6のスイッチ素子284を閉じた場合には、第1シフトレジスタ50あるいは第2シフトレジスタ60が第1信号出力端子27側に向けて電流信号を送り出すことになり、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第1デジタル信号読み出し部240にてデジタル信号として読み出されることになる。

【0125】一方、第1デジタル信号読み出し部240、例えばN個のA/Dコンバータ241のうちのいずれかに欠陥がある場合には、夫々の第2のスイッチ素子281を閉じ、夫々の第3のスイッチ素子282を開

き、夫々の第5のスイッチ素子283を閉じ、夫々の第6のスイッチ素子284を開き、第1シフトレジスタ50あるいは第2シフトレジスタ60により第1信号出力端子27側に向けて電流信号を送り出すことで、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第1アナログ信号読み出し回路231（第1アナログ信号読み出し部230）にてアナログ信号として読み出されることになる。

【0126】第1デジタル信号読み出し部240及び第1アナログ信号読み出し部230に欠陥がある場合には、夫々の第2のスイッチ素子281を開き、夫々の第3のスイッチ素子282を閉じ、夫々の第8のスイッチ素子285を開き、夫々の第9のスイッチ素子286を閉じ、第1シフトレジスタ50あるいは第2シフトレジスタ60により第2信号出力端子29側に向けて電流信号を送り出すことで、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第2デジタル信号読み出し部260にてデジタル信号として読み出されることになる。

【0127】更に、第1デジタル信号読み出し部240、第1アナログ信号読み出し部230及び第2デジタル信号読み出し部260に欠陥がある場合には、夫々の第2のスイッチ素子281を開き、夫々の第3のスイッチ素子282を閉じ、夫々の第8のスイッチ素子285を閉じ、夫々の第9のスイッチ素子286を開き、第1シフトレジスタ50あるいは第2シフトレジスタ60により第2信号出力端子29側に向けて電流信号を送り出すことで、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第2アナログ信号読み出し回路251（第2アナログ信号読み出し部250）にてアナログ信号として読み出されることになる。

【0128】したがって、第1デジタル信号読み出し部240側に欠陥がある場合には、第1アナログ信号読み出し部230側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、また、第1デジタル信号読み出し部240及び第1アナログ信号読み出し部230に欠陥がある場合でも、また、第2デジタル信号読み出し部260側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、更に、第1デジタル信号読み出し部240、第1アナログ信号読み出し部230及び第2デジタル信号読み出し部260に欠陥がある場合でも、また、第2アナログ信号読み出し部250側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、受光部20を大面積化し、第1アナログ信号読み出し部230、第1デジタル信号読み出し部240、第2アナログ信号読み出し部250、第1シフトレジスタ50及び第2シフトレジスタ60等の周辺回路を同一の基板210に設けた場合においても固体撮像装置201の歩留まりの低下を大幅に抑

制することができる。

【0129】また、第1デジタル信号読み出し部240側あるいは第2デジタル信号読み出し部260側にてフォトダイオード23で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/Dコンバータが不要となり、固体撮像装置201の低コスト化が可能となる。また、第1デジタル信号読み出し部240での分解能は、同一の基板210に設けられるためスペース的な問題から、高くすることには限界（例えば、11ビット程度の分解能）があるものの、第1アナログ信号読み出し部230側あるいは第2アナログ信号読み出し部250側にてフォトダイオード23で発生した電流信号を読み出す場合には、外付けのA/Dコンバータを用いることで、高分解能化（例えば16ビット程度の分解能）が可能となる。

【0130】また、第1の辺20aに沿って第1アナログ信号読み出し部230（第1デジタル信号読み出し部240）を設け、第2の辺20bに沿って第2アナログ信号読み出し部250（第2デジタル信号読み出し部260）を設けることで、第1アナログ信号読み出し部230（第1デジタル信号読み出し部240）と第2アナログ信号読み出し部250（第2デジタル信号読み出し部260）とが受光部20を挟んだ対向する位置に設けられることになり、基板210を更にコンパクトに構成することができる。

【0131】（第4実施形態）次に、本発明に係る固体撮像装置の第4実施形態について、図7及び図8を用いて説明する。図7は、第4実施形態に係る固体撮像装置の概略構成を示す概念図であり、図8は、第4実施形態に係る固体撮像装置の回路構成図である。第4実施形態に係る固体撮像装置301は、第1実施形態に係る固体撮像装置1と比べて、受光部20の一边側にアナログ信号読み出し部及びデジタル信号読み出し部が設けられている点で相違する。

【0132】第4実施形態に係る固体撮像装置301は、図7に示されるように、矩形に形成された基板310を有し、この基板310には、受光部20、第1アナログ信号読み出し部330、第1デジタル信号読み出し部340、第1シフトレジスタ50及び第2シフトレジスタ60が、CMOSプロセス等を用いて設けられている。基板310には、8インチφのシリコンウェハを用いている。

【0133】受光部20は、各辺が130mmとされた略正方形に形成されており、この中に縦横50μmピッチ程度で各受光素子（画素）21<sub>1,1</sub>～21<sub>N,N</sub>が形成されている。第1アナログ信号読み出し部330は、受光部20の第1の辺20aに沿って設けられている。第1デジタル信号読み出し部340は、受光部20の第1の辺20aに沿って設けられた第1アナログ信号読み

し部330に沿って設けられている。第1シフトレジスタ50は、受光部20の第1の辺20a及び第2の辺20bに直交する第3の辺20cに沿って設けられている。第2シフトレジスタ60は、受光部20の第1の辺20a及び第2の辺20bに直交し且つ第3の辺20cに対向する第4の辺20dに沿って設けられている。第1アナログ信号読み出し部330及び第1デジタル信号読み出し部340には、各々信号出力端子380、390が接続されている。

【0134】受光部20は、図2に示されるように、受光素子21<sub>n,n</sub>がN行×N列に2次元配列されている。夫々の受光素子21<sub>1,1</sub>～21<sub>N,N</sub>は、入力光信号を電流信号に変換する光電変換素子としてのフォトダイオード23と、第1のスイッチ素子25とを有している。第1のスイッチ素子25は信号入力端子と信号出力端子を有しており、第1のスイッチ素子25の信号入力端子はフォトダイオード23の信号出力端子に接続されており、第1シフトレジスタ50あるいは第2シフトレジスタ60からの走査信号S<sub>n</sub>に応じてフォトダイオード23で発生した電流信号を信号出力端子から流出する。このような受光素子21<sub>n,n</sub>が、第1の方向（第3の辺20cあるいは第4の辺20dの延びる方向）に沿ってN個配列されており、この第1の方向に沿ってN個配列された受光素子21<sub>1,1</sub>～21<sub>N,N</sub>は、夫々の第1のスイッチ素子25の信号出力端子が電気的に接続されることにより単位受光部22<sub>n</sub>を構成している。この単位受光部22<sub>n</sub>は、第1の方向と直交する第2の方向（第1の辺20aあるいは第2の辺20bの延びる方向）に沿ってN個配列されている。

【0135】夫々の単位受光部22<sub>n</sub>の一方の端部には、夫々の第1のスイッチ素子25の信号出力端子と互いに電気的に接続された第1信号出力端子27が設けられている。夫々の第1信号出力端子27は、第2のスイッチ素子371を介して第1アナログ信号読み出し部330に接続される。この第2のスイッチ素子371は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されている。また、第2のスイッチ素子371は、制御回路（図示せず）からの信号に応じて、作動する。なお、この第2のスイッチ素子371は、省略してもよい。

【0136】第1アナログ信号読み出し部330は、図2に示されるように、第1アナログ信号読み出し回路331を有している。この第1アナログ信号読み出し回路331は、第2の方向に、単位受光部22<sub>n</sub>の数（第2の方向に配置されたフォトダイオード23の数）に対応してN個配列されて、アレイ状に形成されている。夫々の第1アナログ信号読み出し回路331は、積分回路333、CDS回路（図示せず）等を有している。積分回路333は、単位受光部22<sub>n</sub>（第1信号出力端子2

7)からの出力信号を入力し、入力した電流信号の電荷を増幅する電荷増幅器335と、電荷増幅器335の入力端子に一方の端子が接続され、電荷増幅器335の出力端子に他方の端子が接続された容量素子337と、電荷増幅器335の入力端子に一方の端子が接続され、電荷増幅器335の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号Rが有意の場合には「ON」状態となり、リセット信号Rが非有意の場合には「OFF」状態となる第3のスイッチ素子339とを有している。この積分回路333は、リセット信号Rが非有意の場合には、単位受光部22<sub>n</sub>からの出力信号を入力し、リセット信号Rに応じて単位受光部22<sub>n</sub>から出力された電流信号を入出力端子間に接続された容量素子337に積分の動作を行い、リセット信号Rが有意の場合には非積分の動作を行うようになる。

【0137】単位受光部22<sub>n</sub>(第1信号出力端子27)からの電流信号は、第1アナログ信号読み出し回路331(積分回路333、CDS回路等)により、アナログ信号として読み出され、このアナログ信号が信号出力端子380に向けて送り出される。夫々の第1アナログ信号読み出し回路331の後段(信号出力端子380との間)には、第4のスイッチ素子372が設けられている。この第4のスイッチ素子372は、第1アナログ信号読み出し回路331の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。

【0138】また、第1アナログ信号読み出し回路331により読み出されたアナログ信号は、第1デジタル信号読み出し部340に向けても送り出される。夫々の第1アナログ信号読み出し回路331と第1デジタル信号読み出し部340との間には、第5のスイッチ素子373が設けられている。この第5のスイッチ素子373は、第1アナログ信号読み出し回路331の数に対応してN個配列されており、制御回路からの信号に応じて、作動する。ここで、第4のスイッチ素子372と第5のスイッチ素子373とは各請求項における第1出力選択手段を構成している。

【0139】第1デジタル信号読み出し部340は、A/Dコンバータ341を有しており、このA/Dコンバータ341は、第2の方向に、第1アナログ信号読み出し回路331の数に対応してN個配列されて、アレイ状に形成されている。夫々のA/Dコンバータ341は、夫々の第1アナログ信号読み出し回路331からの出力されたアナログ信号を入力し、このアナログ信号をデジタル信号に変換して、データバスを介して信号出力端子390に向けて送り出す。

【0140】次に、第4実施形態の固体撮像装置301の動作を説明する。この固体撮像装置301では、受光部20が入射した光が形成する光像を入力し、受光部20のフォトダイオード23に受光量に応じた電荷が蓄積される。そして、所定の受光期間の経過後に夫々のフォ

トダイオード23に蓄積された電荷量を以下のようにして読み出す。

【0141】第1アナログ信号読み出し部330側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子371が閉じられ、夫々の第4のスイッチ素子372が閉じられ、夫々の第5のスイッチ素子373が開かれる。また、読み出しの実行に先立って、積分回路333に対するリセット信号Rを有意として、第3のスイッチ素子339を閉じて容量素子337を初期化する。

【0142】次に、積分回路333に対するリセット信号Rを非有意として、第3のスイッチ素子339を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号S<sub>n</sub>が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>~21<sub>N,1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号S<sub>n</sub>が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子71を介して、第1アナログ信号読み出し回路331(第1アナログ信号読み出し部330)に出力される。そして、第1アナログ信号読み出し回路331の積分回路333によってその帰還容量である容量素子337に蓄積されている、積分回路333の出力端子から出力される電圧信号は次第に大きくなっていく。

【0143】積分回路333から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路331(第1アナログ信号読み出し部330)から出力され、第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>~21<sub>N,1</sub>に関するデータ読み出しを終了する。夫々の第5のスイッチ素子373は開かれているため、第1アナログ信号読み出し回路331(第1アナログ信号読み出し部330)から出力されるアナログ信号は第1デジタル信号読み出し部340に送られることはない。なお、夫々の第1アナログ信号読み出し回路331からアナログ信号が出力される際に、夫々の第4のスイッチ素子372に送られる信号を順次有意として、各第1アナログ信号読み出し回路331から順次アナログ信号を出力させており、第2の方向での走査を行っている。

【0144】次いで、積分回路333に対するリセット信号Rを有意として、第3のスイッチ素子339を閉じて容量素子337を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1,n</sub>~21<sub>N,n</sub>に関するデータ読み出しを実行する。

【0145】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのアナログ信号を

得る。

【0146】一方、第1デジタル信号読み出し部340側にて、夫々のフォトダイオード23に蓄積された電荷量を読み出す場合には、まず、制御回路からの信号により、夫々の第2のスイッチ素子371が閉じられ、夫々の第4のスイッチ素子372が開かれ、夫々の第5のスイッチ素子373が閉じられる。また、読み出しの実行に先立って、積分回路333に対するリセット信号Rを有意として、第3のスイッチ素子339を閉じて容量素子337を初期化する。

【0147】次に、積分回路333に対するリセット信号Rを非有意として、第3のスイッチ素子339を開き、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方から夫々の第1のスイッチ素子25に走査信号 $S_n$ が所定のタイミングにて有意とされる。各単位受光部22<sub>n</sub>の第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>~21<sub>N,1</sub>の第1のスイッチ素子25のみを「ON」とする走査信号 $S_1$ が有意とされる。第1のスイッチ素子25が「ON」となると、それまでの受光によってフォトダイオード23に蓄積された電荷が電流信号となって、第2のスイッチ素子371を介して、第1アナログ信号読み出し回路331に出力される。そして、第1アナログ信号読み出し回路331の積分回路333によってその帰還容量である容量素子337に蓄積されていき、積分回路333の出力端子から出力される電圧信号は次第に大きくなっていく。

【0148】積分回路333から出力された電圧信号は、CDS回路等を介して、アナログ信号として夫々の第1アナログ信号読み出し回路331から夫々のA/Dコンバータ341（第1デジタル信号読み出し部340）に出力される。A/Dコンバータ341では、第1アナログ信号読み出し回路331から出力されたアナログ信号がデジタル信号に変換され、このデジタル信号が夫々のA/Dコンバータ341（第1デジタル信号読み出し部340）からデータバスに出力され、第1の方向での走査における第1番目の受光素子21<sub>1,1</sub>~21<sub>N,1</sub>に関するデータ読み出しを終了する。夫々のA/Dコンバータ341からデジタル信号が出力される際に、夫々のA/Dコンバータ341は、制御回路からの信号に基づいて、所定タイミングにて順次デジタル信号を出力し、第2の方向での走査を行っている。夫々の第4のスイッチ素子372は開かれているため、第1アナログ信号読み出し回路331（第1アナログ信号読み出し部330）から出力されるアナログ信号は信号出力端子380に送られることはない。なお、夫々の第1アナログ信号読み出し回路331からアナログ信号が出力される際に、夫々の第5のスイッチ素子373に送られる信号を順次有意として、各第1アナログ信号読み出し回路331から順次アナログ信号を出力させることにより、第2の方向での走査を行うことも可能である。

【0149】次いで、積分回路333に対するリセット信号Rを有意として、第3のスイッチ素子339を閉じて容量素子337を初期化しながら、第1の方向での走査における第2番目以降の受光素子21<sub>1,n</sub>~21<sub>N,n</sub>に関するデータ読み出しを実行する。

【0150】こうして、受光部20に入力した光の形成する光像を撮像し、撮像データとしてのデジタル信号を得る。

【0151】以上のように、第4実施形態の固体撮像装置301によれば、第1シフトレジスタ50は、受光素子21<sub>n,n</sub>がN行×N列に2次元配列された受光部20の第3の辺20cに沿って設けられ、第2シフトレジスタ60は、受光部20の第4の辺20dに沿って設けられている。また、この第1シフトレジスタ50及び第2シフトレジスタ60は、夫々のフォトダイオード23で発生した電流信号を、夫々の単位受光部22<sub>n</sub>の第1信号出力端子27及び第2信号出力端子29のいずれに向けても送り出し得るように、走査信号 $S_n$ を出力するので、第1シフトレジスタ50及び第2シフトレジスタ60のいずれも、夫々の第2のスイッチ素子371を閉じた場合には、各単位受光部22<sub>n</sub>（第1の方向に配列されたフォトダイオード23）で発生した電流信号を、第1アナログ信号読み出し部330に向けて送り出す。これにより、第1シフトレジスタ50に欠陥がある場合には、第2シフトレジスタ60により各単位受光部22<sub>n</sub>で発生した電流信号が第1アナログ信号読み出し部330に向けて送り出されことになる。一方、第2シフトレジスタ60に欠陥がある場合には、第1シフトレジスタ50により各単位受光部22<sub>n</sub>で発生した電流信号が第1アナログ信号読み出し部330に向けて送り出されことになる。

【0152】したがって、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか一方に欠陥がある場合でも、第1シフトレジスタ50及び第2シフトレジスタ60のいずれか他方にて、第1アナログ信号読み出し部330に向けて各単位受光部22<sub>n</sub>で発生した電流信号を送り出すことが可能となり、受光部20を大面積化し、第1アナログ信号読み出し部330、第1デジタル信号読み出し部340、第1シフトレジスタ50及び第2シフトレジスタ60等の周辺回路を同一の基板310に設けた場合においても固体撮像装置1の歩留まりの低下を抑制することができる。

【0153】また、第3の辺20cに沿って第1シフトレジスタ50を設け、第4の辺20dに沿って第2シフトレジスタ60を設けることで、第1シフトレジスタ50と第2シフトレジスタ60とが受光部20を挟んだ対向する位置に設けられることになり、基板310をコンパクトに構成することができる。

【0154】また、第1アナログ信号読み出し部330は、受光部20の第1の辺20aに沿って設けられ、第

1 デジタル信号読み出し部340は、第1アナログ信号読み出し部330に沿って設けられている。第1アナログ信号読み出し部330は、夫々の単位受光部22<sub>n</sub>の第1信号出力端子27から出力された信号を夫々個別に入力し、単位受光部22<sub>n</sub>から出力された電流信号をアナログ信号として読み出すN個の第1アナログ信号読み出し回路331を有し、第1デジタル信号読み出し部340は、夫々の第1アナログ信号読み出し回路331から出力されたアナログ信号をデジタル信号に変換するN個のA/Dコンバータ341を有している。夫々の第2のスイッチ素子371を閉じ、夫々の第4のスイッチ素子372を開き、夫々の第5のスイッチ素子373を閉じた場合には、第1シフトレジスタ50あるいは第2シフトレジスタ60が第1信号出力端子27側に向けて電流信号を送り出し、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第1デジタル信号読み出し部340にてデジタル信号として読み出されることになる。

【0155】一方、第1デジタル信号読み出し部340、例えばN個のA/Dコンバータ341のうちのいずれかに欠陥がある場合には、夫々の第2のスイッチ素子371を閉じ、夫々の第4のスイッチ素子372を閉じ、夫々の第5のスイッチ素子373を開き、第1シフトレジスタ50あるいは第2シフトレジスタ60により第1信号出力端子27側に向けて電流信号を送り出すことで、夫々の単位受光部22<sub>n</sub>におけるフォトダイオード23で発生した電流信号が夫々の第1アナログ信号読み出し回路331（第1アナログ信号読み出し部330）にてアナログ信号として読み出されることになる。

【0156】したがって、第1デジタル信号読み出し部340側に欠陥がある場合には、第1アナログ信号読み出し部330側にてフォトダイオード23で発生した電流信号を読み出すことが可能となり、受光部20を大面積化し、第1アナログ信号読み出し部330、第1デジタル信号読み出し部340、第1シフトレジスタ50及び第2シフトレジスタ60等の周辺回路を同一の基板310に設けた場合においても固体撮像装置1の歩留まりの低下を更に抑制することができる。

【0157】また、第1デジタル信号読み出し部340側にてフォトダイオード23で発生した電流信号を読み出す場合には、デジタル出力となるために、高速での電流信号の読み出しが可能であり、外付けのA/Dコンバータが不要となり、固体撮像装置1の低コスト化が可能となる。また、第1デジタル信号読み出し部340での分解能は、同一の基板310に設けられるためスペース的な問題から、高くすることには限界（例えば、11ビット程度の分解能）があるものの、第1アナログ信号読み出し部330側側にてフォトダイオード23で発生した電流信号を読み出す場合には、外付けのA/Dコンバータを用いることで、高分解能化（例えば16ビット程

度の分解能）が可能となる。

【0158】また、第1の辺20aに沿って第1アナログ信号読み出し部330を設け、更に、第1アナログ信号読み出し部330に沿って第1デジタル信号読み出し部340を設けることで、第1アナログ信号読み出し部330及び第1デジタル信号読み出し部340が受光部20の第1の辺20a側に設けられることになり、基板310を更にコンパクトに構成することができる。

【0159】CCD等の電荷結合型の固体撮像素子においては、受光素子で発生した電荷は、転送部に形成されるポテンシャル差に基づいて移動する。このため、ウェハの一部に欠陥が存在した場合、欠陥が存在する部分でポテンシャル差を形成することができなくなり、転送部の1列分の信号は転送できない。したがって、欠陥が存在する列がデッドラインとなり、このデッドラインは、受光部の面積が大きくなればなるほど、発生する確率が高くなる。この結果、CCDにおける受光部の大面積化は歩留まりが極めて悪く、また、歩留まりを良くするためには高価なものになってしまう。しかしながら、第1実施形態～第4実施形態にて示したように、本発明に係る固体撮像装置においては、歩留まりの低下が抑制され、受光部の大面積化が可能となる。

【0160】なお、第1実施形態～第4実施形態においては、受光素子21<sub>n,n</sub>がN行×N列に2次元配列された受光部20を基板に形成しているが、受光部20は、これに限られることなく、例えば受光素子がN行×M列（N≠M）に2次元配列された受光部を用いてもよく、その形状も正方形に限られるものではない。

【0161】

【発明の効果】以上、詳細に説明したとおり、本発明の固体撮像装置によれば、同一基板に受光部及び周辺回路を形成する場合においても、歩留まりの低下が抑制され、受光部の大面積化が可能な固体撮像装置を実現することができる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施形態の概略構成を示す概念図である。

【図2】本発明に係る固体撮像装置の第1実施形態の回路構成図である。

【図3】本発明に係る固体撮像装置の第2実施形態の概略構成を示す概念図である。

【図4】本発明に係る固体撮像装置の第2実施形態の回路構成図である。

【図5】本発明に係る固体撮像装置の第3実施形態の概略構成を示す概念図である。

【図6】本発明に係る固体撮像装置の第3実施形態の回路構成図である。

【図7】本発明に係る固体撮像装置の第4実施形態の概略構成を示す概念図である。

【図8】本発明に係る固体撮像装置の第4実施形態の回



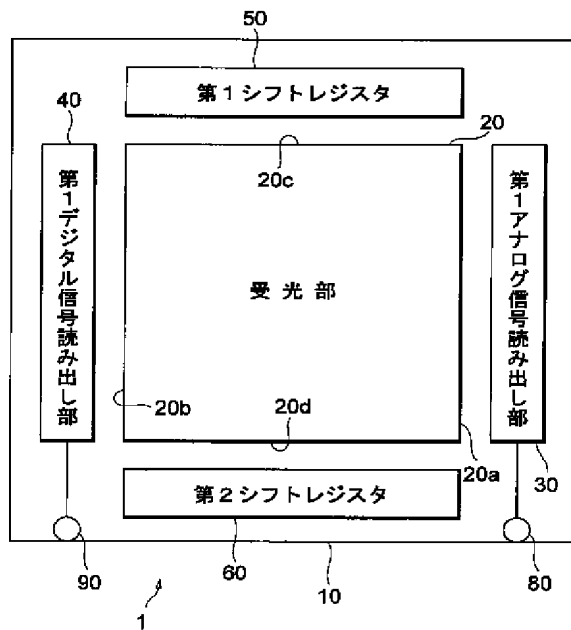
路構成図である。

【符号の説明】

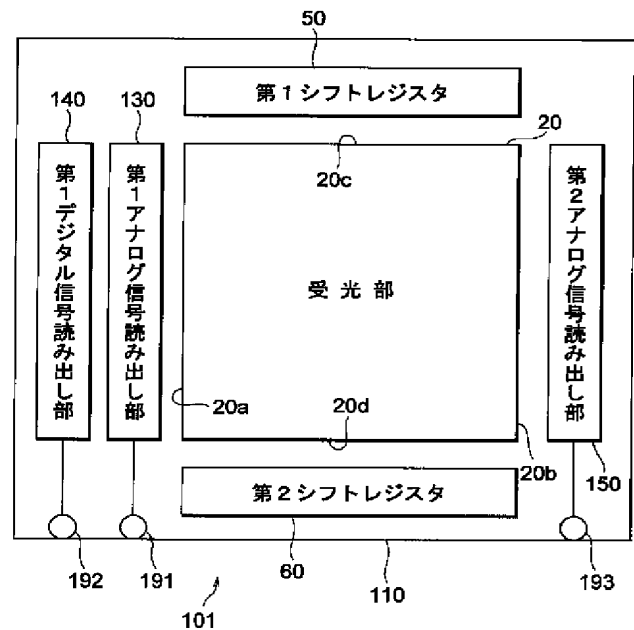
1, 101, 201, 301…固体撮像装置、10, 110, 210, 310…基板、20…受光部、20a…第1の辺、20b…第2の辺、20c…第3の辺、20d…第4の辺、21<sub>n,n</sub>…受光素子、22<sub>n</sub>…単位受光部、23…フォトダイオード、25…第1のスイッチ素子、27…第1信号出力端子、29…第2信号出力端子、30…第1アナログ信号読み出し部、31…第1アナログ信号読み出し回路、33…積分回路、40…第1デジタル信号読み出し部、41…第2アナログ信号読み出し部、42…第2アナログ信号読み出し回路、43…積分回路、47…第1デジタル信号変換部、48…A/Dコンバータ、50…第1シフトレジスタ、60…第2シフトレジスタ、130…第1アナログ信号読み出し

部、131…第1アナログ信号読み出し回路、133…積分回路、140…第1デジタル信号読み出し部、141…A/Dコンバータ、150…第2アナログ信号読み出し部、151…第2アナログ信号読み出し回路、153…積分回路、230…第1アナログ信号読み出し部、231…第1アナログ信号読み出し回路、233…積分回路、240…第1デジタル信号読み出し部、241…A/Dコンバータ、250…第2アナログ信号読み出し部、251…第2アナログ信号読み出し回路、253…積分回路、260…第1デジタル信号読み出し部、261…A/Dコンバータ、330…第1アナログ信号読み出し部、331…第1アナログ信号読み出し回路、333…積分回路、340…第1デジタル信号読み出し部、341…A/Dコンバータ、S<sub>n</sub>…走査信号。

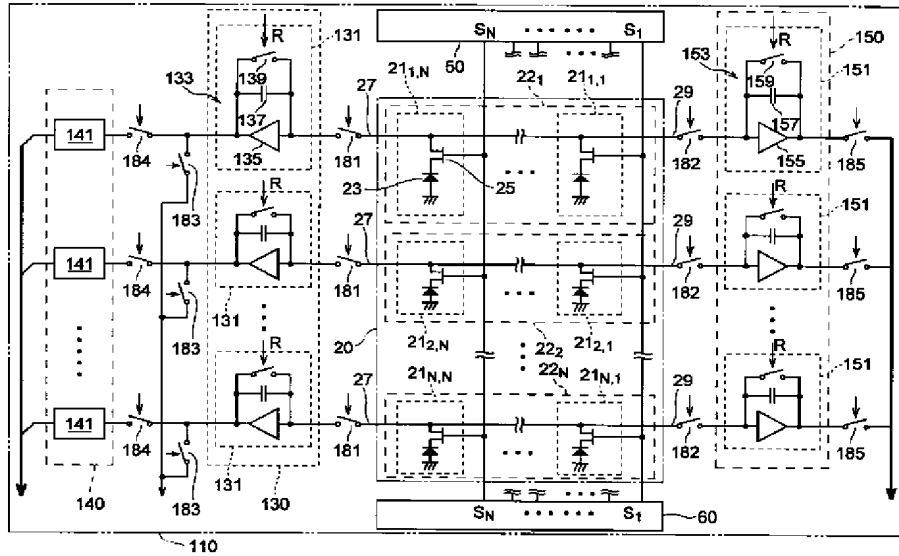
【図1】



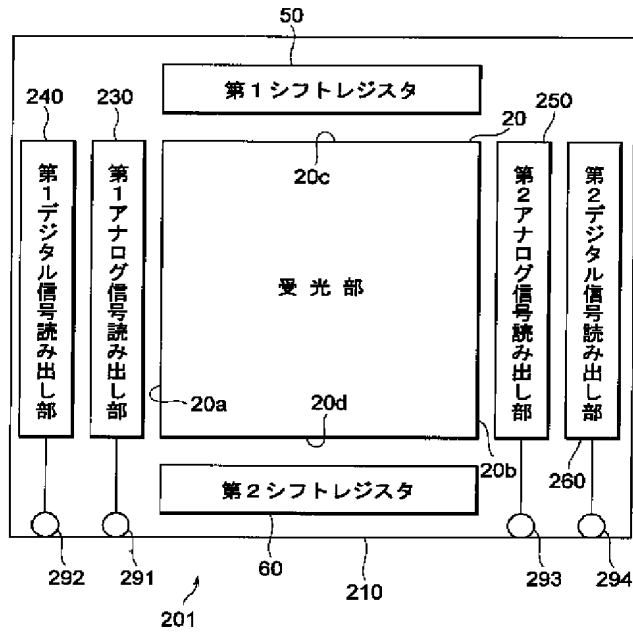
【図3】



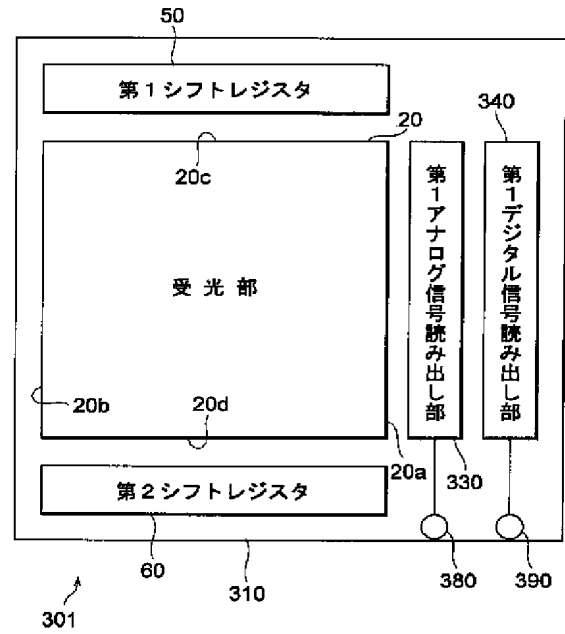
【図 4】



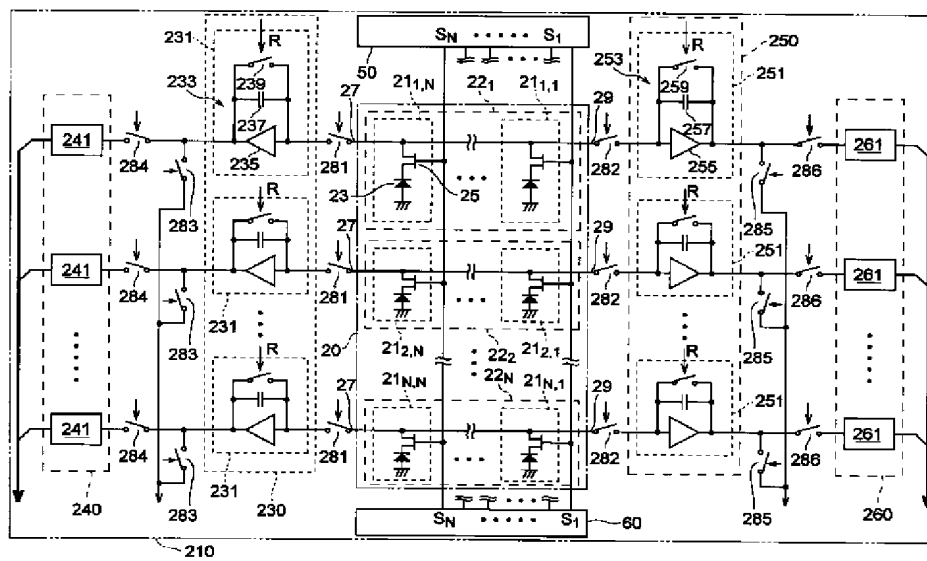
【図5】



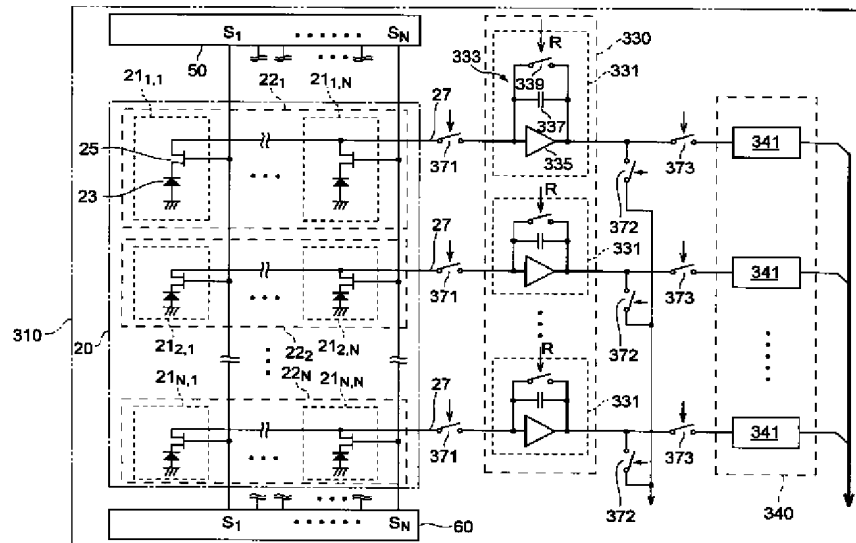
【図7】



【図6】



【図 8】



フロントページの続き

F ターム(参考) 4M118 AA10 AB01 BA10 BA14 CA02  
 DD09 DD12 FA06 FA50  
 5C024 AA01 BA01 CA12 CA31 FA01  
 GA17 GA41 HA15 JA31